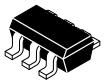
单通道 2 A 高速低边栅极驱动器

FAN3100T, FAN3100C

WDFN6 2x2, 065P
CASE 511CY



SOT23-5
CASE 527AH

说明

FAN3100 2 A 栅极驱动器设计为通过在短开关间隔内提供高峰值电流脉冲，驱动低边开关应用驱动中的一个 N 沟道增强 MOSFET。此驱动器可以提供 TTL (FAN3100T) 或 CMOS (FAN3100C) 输入阈值。内部电路可使输出保持低电平状态，直到电源电压进入工作范围，从而提供欠压锁定功能。FAN3100 提供快速 MOSFET 开关性能，可在高频功率转换器设计中最大限度地提高效率。

FAN3100 驱动器内置用于最终输出级的 MillerDrive™ 架构。这一双极性 MOSFET 组合可在 MOSFET 开/关过程的Miller电场级期间提供高峰值电流，以最大限度地减少开关损耗，同时提供轨到轨电压摆幅和反向电流能力。

FAN3100 还提供可被配置的双通道输入，用于在同相或反相模式下工作，且允许实施一个使能功能。如果一个或两个输入端均未连接，则内部电阻会偏置输入端，以便将输出端拉至低电平，以保持功率 MOSFET 关断。

FAN3100 采用无引线饰面 2 × 2 mm 6 引线塑封无铅封装 (MLP)，以最小的尺寸提供出色的热性能，或采用工业标准 5 引脚 SOT23 封装。

Features

特性

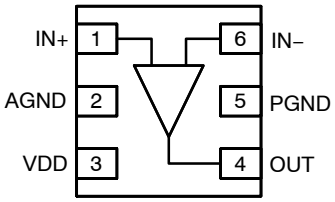
- 3 A 峰值灌电流/源电流，V_{DD} =12 V
- 4.5 到 18 V 工作范围
- 2.5 A 灌电流/1.8 A 源电流，V_{OUT} = 6 V
- 双通道逻辑输入允许通过使能功能配置为同相或反相
- 无输入时内部电阻关闭驱动器
- 1 nF 负载时，典型上升时间为 13 ns，典型下降时间 为 9 ns
- 可选择 TTL 或 CMOS 输入阈值
- MillerDrive™ 技术
- 通过输入下降或上升，典型传播延迟时间低于 20 ns
- 6 引脚 2x2 mm MLP 或 5 引脚 SOT23 封装
- 额定环境温度为 –40 °C 到 125 °C
- These Devices are Pb-Free and Halogen Free

Applications

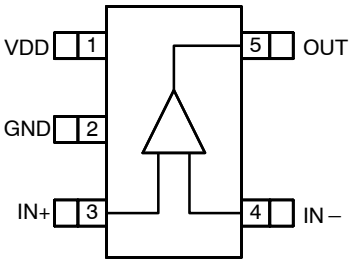
应用

- 开关电源
- 高效 MOSFET 开关
- 同步整流电路
- DC–DC 转换器
- 电机控制

PIN ASSIGNMENT

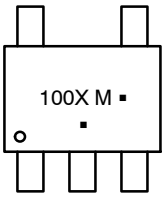


2 x 2 mm 6 引脚 MLP (俯视图)



SOT23-5 (俯视图)

MARKING DIAGRAM



100X = Specific Device Code
X = T or C
M = Date Code
▪ = Pb-Free Package

(Note: Microdot may be in either location)

ORDERING INFORMATION

See detailed ordering and shipping information on page 17 of this data sheet.

NOTE: Some of the devices on this data sheet have been **DISCONTINUED**. Please refer to the table on page 17.

© Semiconductor Components Industries, LLC, 2007

热特性 (说明 1)

封装	Θ_{JL} (说明 2)	Θ_{JT} (说明 3)	Θ_{JA} (说明 4)	Ψ_{JB} (说明 5)	Ψ_{JT} (说明 6)	单位
6 引脚, 2x2 mm 模塑无铅封装 (MLP)	2.7	133	58	2.8	42	°C/W
SOT23-5	56	99	157	51	5	°C/W

1. 估计值来自于热模拟实验；实际值取决于实际应用。
2. Theta_JL (Θ_{JL})：半导体结和所有引线（包括任何散热焊盘）的底表面之间的热阻，这些引线通常焊接到 PCB 上。
3. Theta_JT (Θ_{JT})：半导体结和封装上表面之间的热阻，假设封装通过顶侧的散热片保持在统一温度。
4. Theta_JA (Θ_{JA})：结和环境之间的热阻，取决于 PCB 设计、散热和气流。给定值适用于没有散热器的自然对流、使用 2S2P 板，如 JEDEC 标准 JESD51-2，JESD51-5 和 JESD51-7 所述规定（如适用）。
5. Psi_JB (Ψ_{JB}): 热特性参数，表示在说明 4 中定义的热环境下半导体结温与应用电路板参考点之间的相关性。对于 MLP-6 封装，电路板参考被定义为与散热焊盘相连接、从封装的任意一端延伸出的 PCB 覆铜。对于 SOT23-5 封装，电路板参考定义为与引脚 2 相邻的 pcb 覆铜。
6. Psi_JT (Ψ_{JT}): 热特性参数，表示在说明 4 中定义的热环境下半导体结温与封装顶部中心之间的相关性。

引脚定义

SOT23 引脚编号	MLP 引脚编号	名称	引脚描述
1	3	VDD	电源电压端。IC 的供电电源。
	2	AGND	模拟地，用于输入信号（仅限于 MLP 封装）。连接至 IC 下面的 PGND。
2		GND	地 (仅限于 SOT-23 封装) 。输入与输出电路的公共参考地。
3	1	IN+	非反向输入。与 VDD 连接时使能输出。
4	6	IN–	反相输入。连接至 AGND 或 ，以使能输出。
5	4	OUT	栅极驱动输出：保持低电平，除非所要求的输入出现，且 V_{DD} 高于 UVLO 阈值。
	Pad	P1	散热盘端（仅限于 MLP 封装）。封装底部暴露的金属，电气连接至引脚 5。
	5	PGND	电源接地（仅限于 MLP 封装）。对于输出驱动电路，将开关噪声与输入分开。

输出逻辑

IN+	IN–	OUT
0 (说明 7)	0	0
0 (说明 7)	1 (说明 7)	0
1	0	1
1	1 (说明 7)	0

7. 如果没有外部接线时的缺省输入信号。

框图

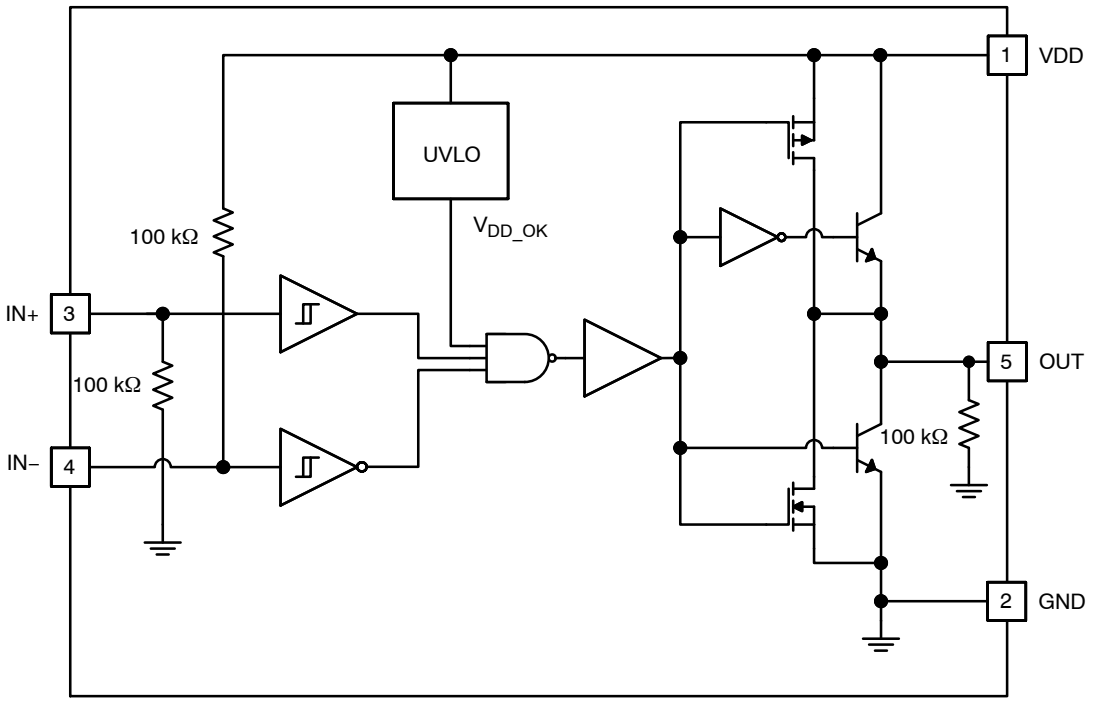


图 1. 简易框图（**SOT23** 引脚配置）

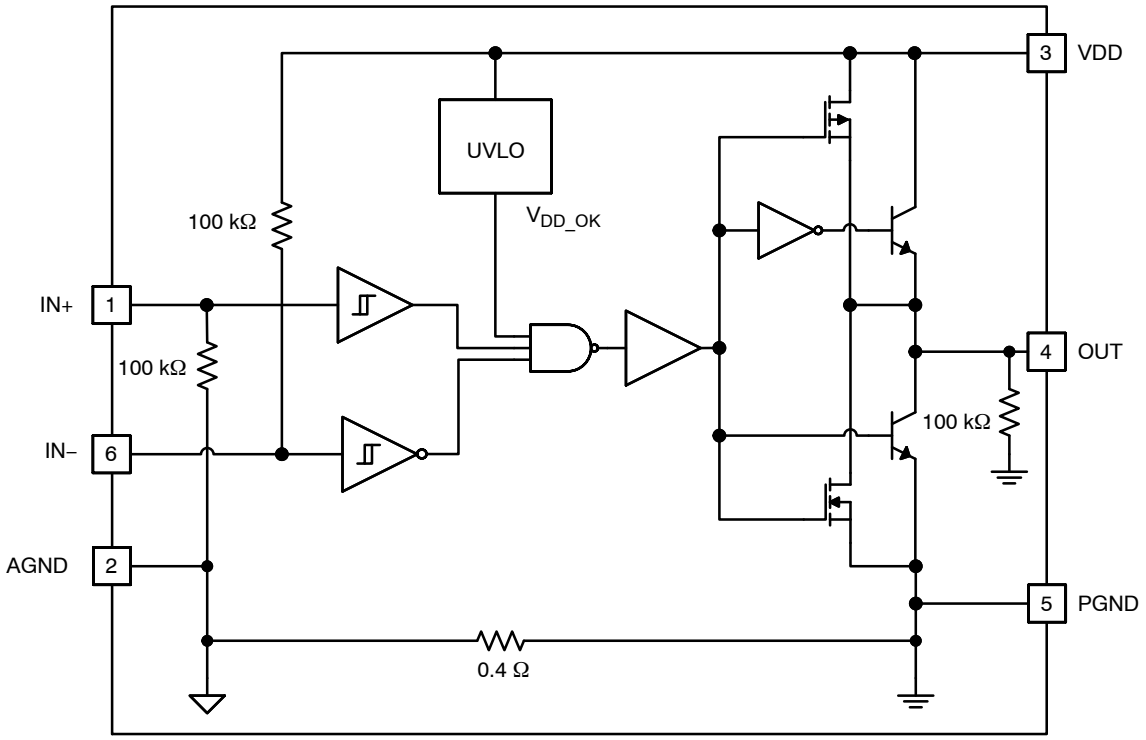


图 2. 简易框图（**MLP** 引脚配置）

符号	参数	最小值	参数	单位
V_{DD}	VDD 至 GND	–0.3	20.0	V
V_{IN}	IN+ 和 IN– to GND, AGND 或 PGND 电压	GND –0.3	V_{DD} + 0.3	V
V_{OUT}	OUT 至 GND, AGND 或 PGND 电压	GND –0.3	V_{DD} + 0.3	V
	输出端 (OUT) 到 GND、AGND 或 PGND 的重复电压 (T_{PULSE} < 300 ns) (说明 8)	GND –2	V_{DD} + 0.3	V
T_L	引脚焊接温度 (10 秒)		+260	°C
T_J	结温	–55	+150	°C
T_{STG}	存储温度	–65	+150	°C

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.
(参考译文)
如果电压超过最大额定值表中列出的值范围，器件可能会损坏。如果超过任何这些限值，将无法保证器件功能，可能会导致器件损坏，影响可靠性。
8. 受散热限制 (< Max T_J)

推荐工作条件

符号	参数	最小值	参数	单位
V_{DD}	电源电压范围	4.5	18.0	V
V_{IN}	输入电压 IN+、IN–	0	V_{DD}	V
T_A	操作环境温度	–40	+125	°C

Functional operation above the stresses listed in the Recommended Operating Ranges is not implied. Extended exposure to stresses beyond the Recommended Operating Ranges limits may affect device reliability.
(参考译文)
高于推荐工作范围表格中所列电压时，不保证能够正常运行。长时间在推荐工作范围表格中规定范围以外的电压下运行，可能会影响器件的可靠性。

电气特性 (除非另有说明，V_{DD} = 12 V 且 T_J = –40 °C 至 +125 °C。电流流入器件定义为正值，流出为负值。)

符号	参数	工作条件	最小值	典型值	最大值	单位
电源						
V_{DD}	工作范围		4.5		18.0	V
I_{DD}	电源电流输入端/EN 未连接	FAN3100C (说明 9)		0.20	0.35	mA
		FAN3100T		0.50	0.80	mA
V_{ON}	导通电压		3.5	3.9	4.3	V
V_{OFF}	关断电压		3.3	3.7	4.1	V
输入 (FAN3100T)						
V_{INL_T}	IN+、IN– 逻辑低电压，最大值		0.8			V
V_{INH_T}	IN+、IN– 逻辑高电压，最小值				2.0	V
I_{IN+}	同相输入	IN 从 0 至 V_{DD}	–1		175	μA
I_{IN-}	反向输入	IN 从 0 至 V_{DD}	–175		1	μA
V_{HYS}	IN+、IN– 逻辑滞回电压		0.2	0.4	0.8	V
输入 (FAN3100C)						
V_{INL_C}	IN+、IN– 逻辑低电压		30			%V_{DD}
V_{INH_C}	IN+、IN– 逻辑高电压				70	%V_{DD}
I_{INL}	IN 电流，低电平	IN 从 0 至 V_{DD}	–1		175	μA
I_{INH}	IN 电流，高电平	IN 从 0 至 V_{DD}	–175		1	μA
V_{HYS_C}	IN+、IN– 逻辑滞回电压			17		%V_{DD}

电气特性 (除非另有说明，V_{DD} = 12 V 且 T_J = −40 °C 至 +125 °C。电流流入器件定义为正值，流出为负值。)

符号	参数	工作条件	最小值	典型值	最大值	单位
输出						
I_{SINK}	OUT 电流，中压，灌电流 (说明 10)	OUT at V_{DD}/2, C_{LOAD} = 0.1 μF, f = 1 kHz		2.5		A
I_{SOURCE}	OUT 电流，中压，源电流 (说明 10)	OUT at V_{DD}/2, C_{LOAD} = 0.1 μF, f = 1 kHz		−1.8		A
I_{PK_SINK}	OUT 电流，峰值，灌电流 (说明 10)	C_{LOAD} = 0.1 μF, f = 1kHz		3		A
I_{PK_SOURCE}	OUT 电流，峰值，源电流 (说明 10)	C_{LOAD} = 0.1 μF, f = 1 kHz		−3		A
t_{RISE}	输出上升时间 (说明 11)	C_{LOAD} = 1000 pF		13	20	ns
t_{FALL}	输出下降时间 (说明 11)	C_{LOAD} = 1000 pF		9	14	ns
t_{D1}, t_{D2}	输出比例 延迟, CMOS 输入 (说明 11)	0−12 V_{IN}, 1 V/ns 压摆率	7	15	28	ns
t_{D1}, t_{D2}	输出比例 延迟, TTL 输入 (说明 11)	0−5 V_{IN}, 1 V/ns 压摆率	9	16	30	ns
I_{RVS}	输出反向耐受电流 (说明 10)			500		mA

9. 电源电流较低，因为 TTL 电路处于休止状态。
10. 未经生产测试。
11. 请参见图 3 和图 4 的时序图。

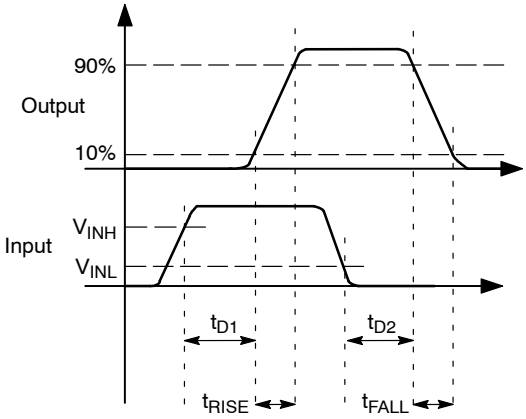


图 3. 同相

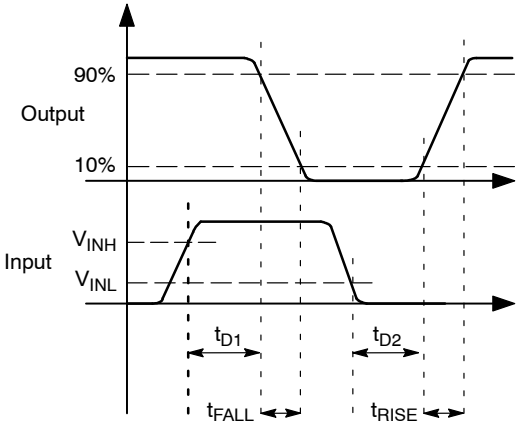


图 4. 反相

典型性能特征

(除非另有说明，典型特性条件是 25 °C 且 V_{DD} = 12 V)

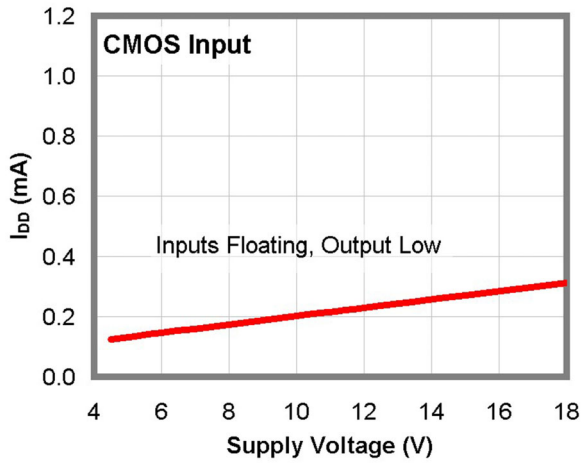


图 5. I_{DD}（静态）与电源电压的关系

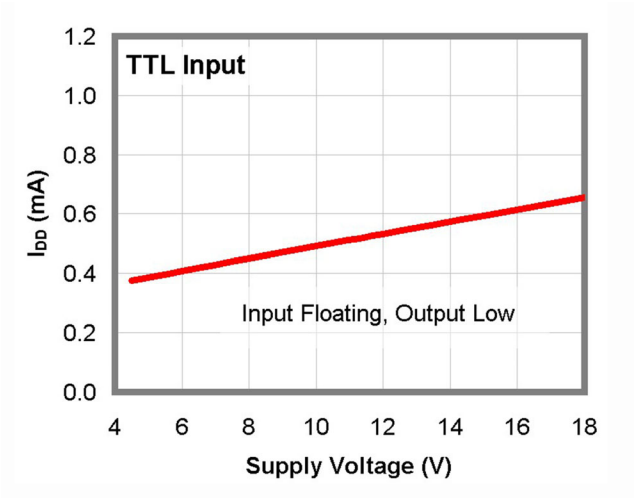


图 6. I_{DD} （静态）与电源电压的关系

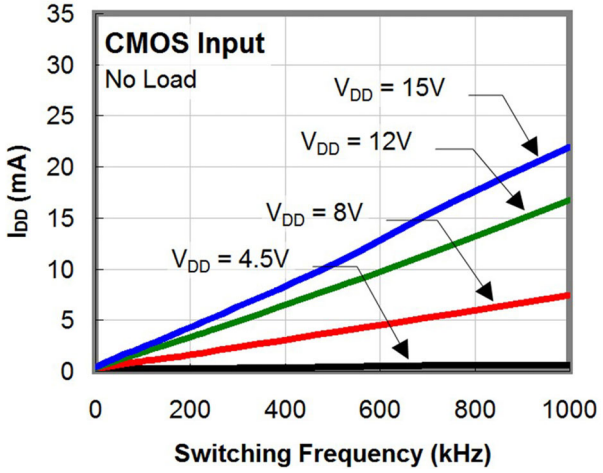


图 7. I_{DD} （无负载）与频率的关系

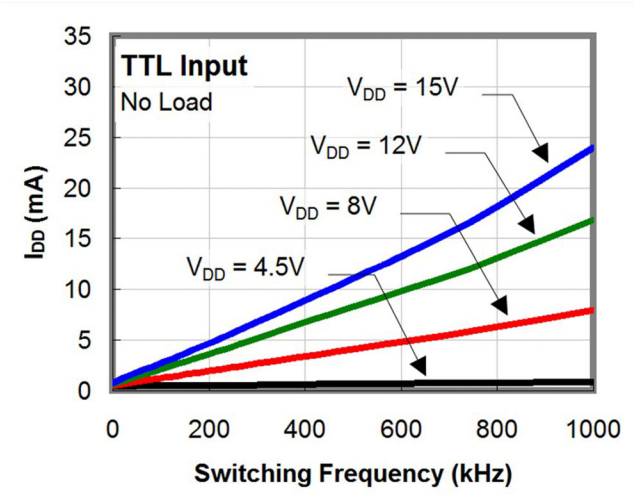


图 8. I_{DD} （无负载）与频率的关系

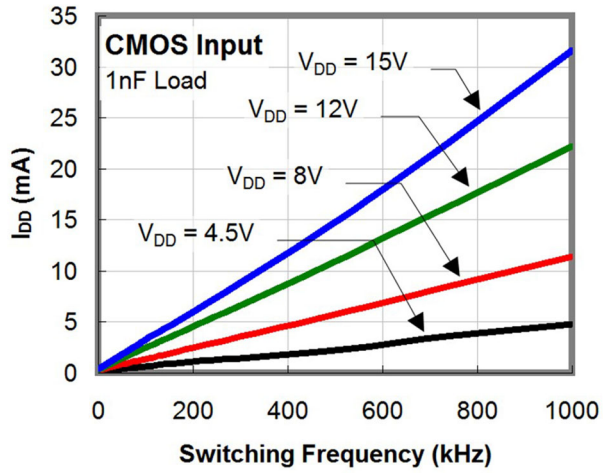


图 9. I_{DD}（1 nF 负载）与频率的关系

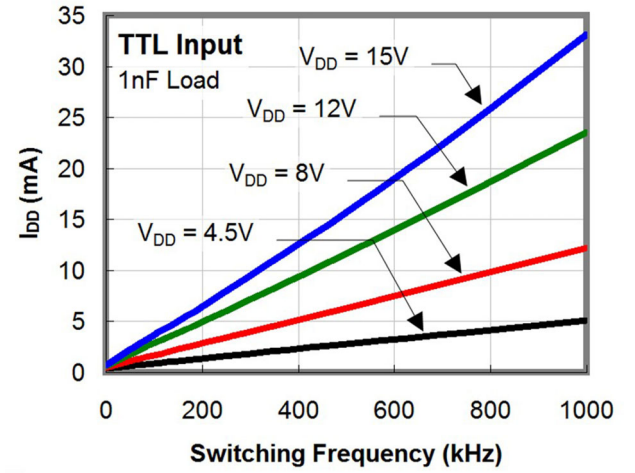


图 10. I_{DD}（1 nF 负载）与频率的关系

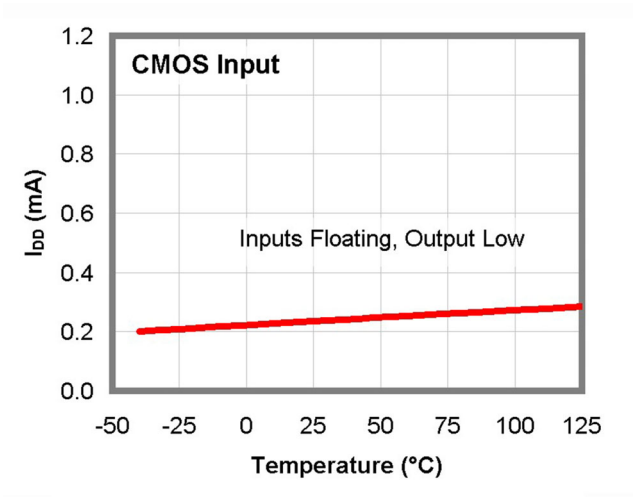


图 11. I_{DD}（静态）与温度的关系

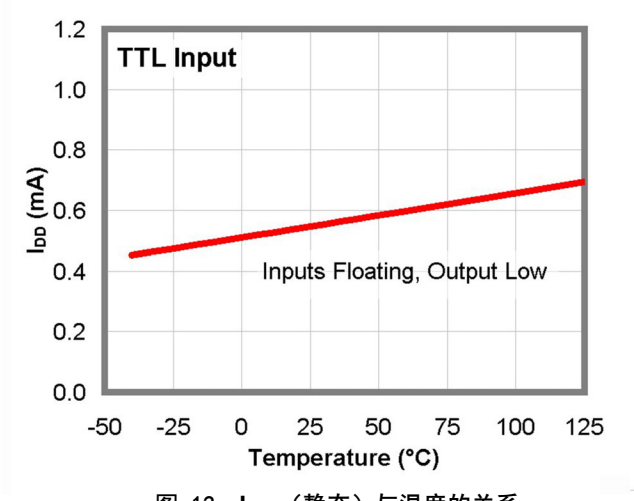


图 12. I_{DD}（静态）与温度的关系

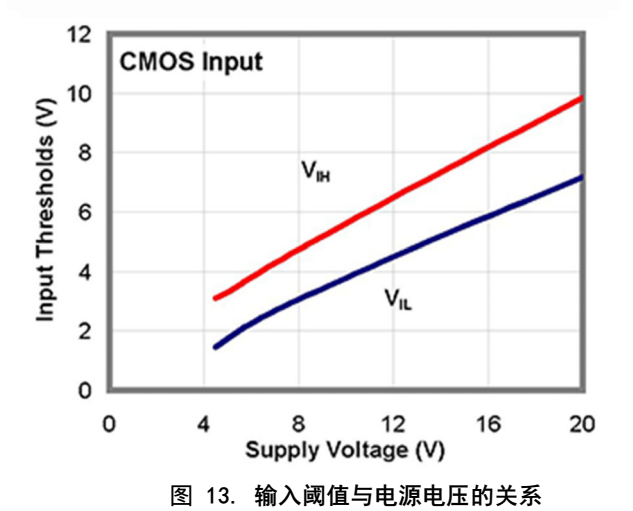


图 13. 输入阈值与电源电压的关系

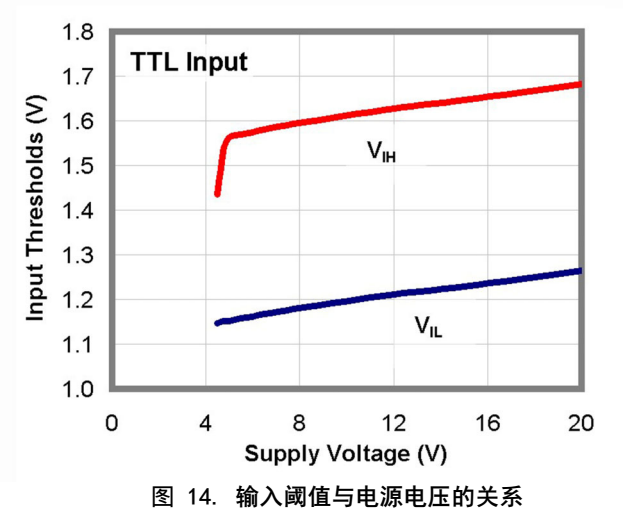


图 14. 输入阈值与电源电压的关系

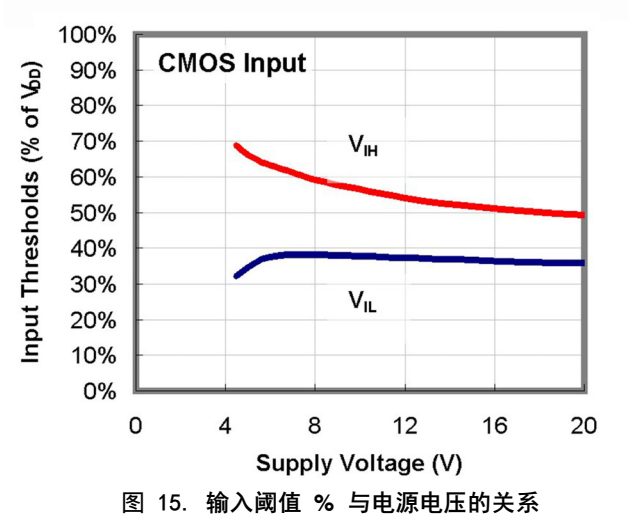


图 15. 输入阈值 % 与电源电压的关系

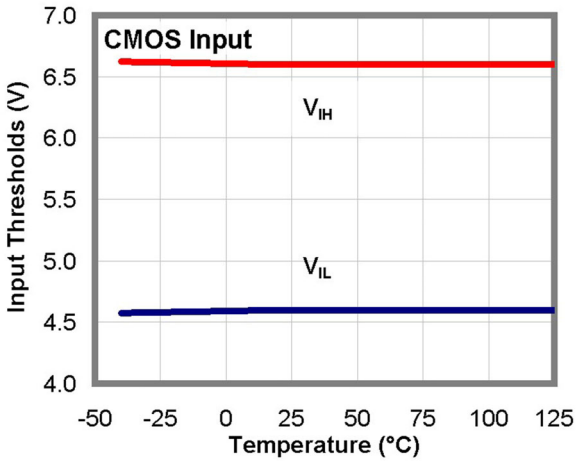


图 16. **CMOS** 输入阈值与温度的关系

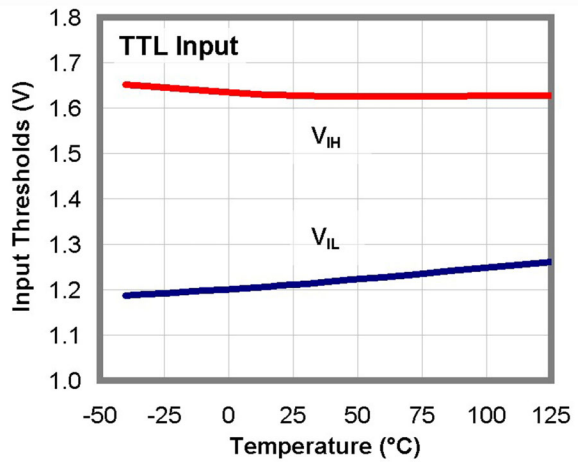


图 17. **TTL** 输入阈值与温度的关系

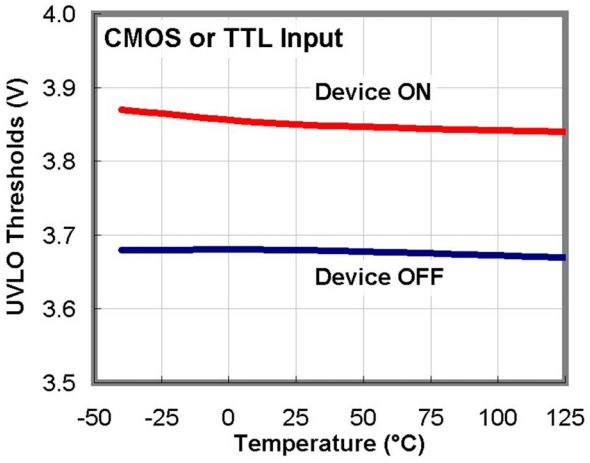


图 18. **UVLO** 阈值与温度的关系

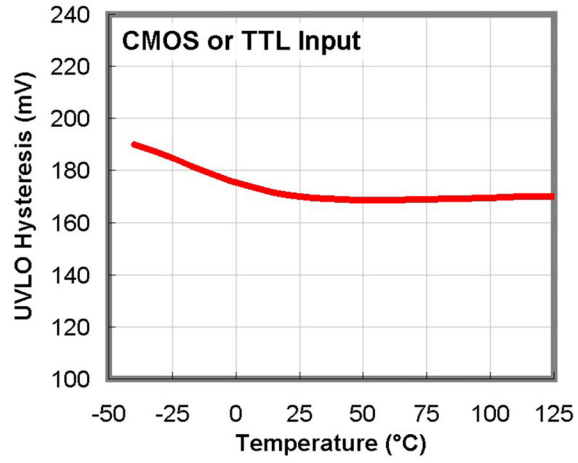


图 19. **UVLO** 滞回与温度的关系

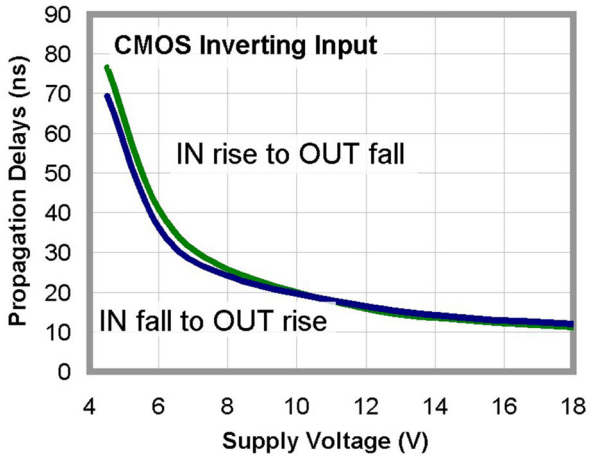


图 20. 传播延迟与电源电压

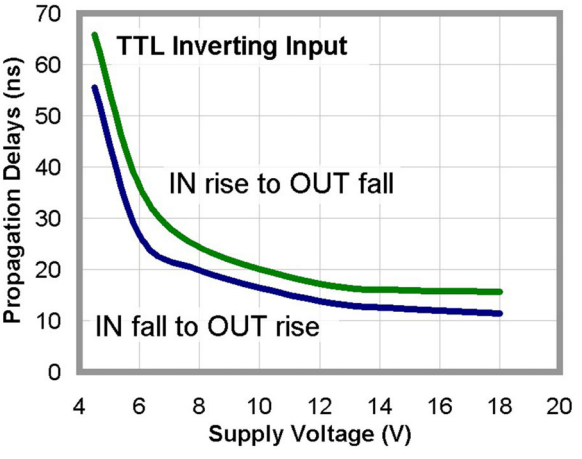


图 21. 传播延迟与电源电压

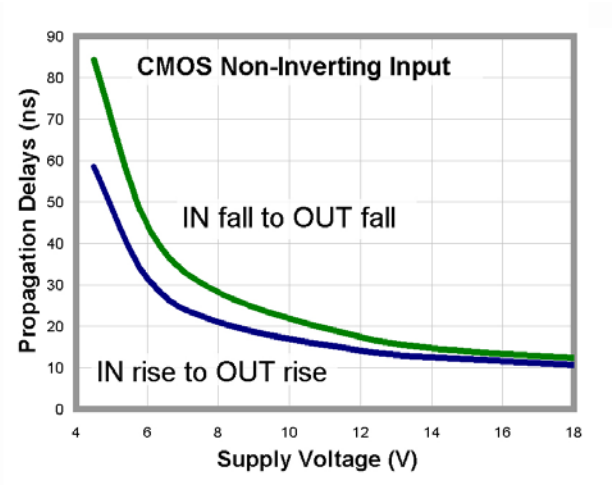


图 22. 传播延迟与电源电压

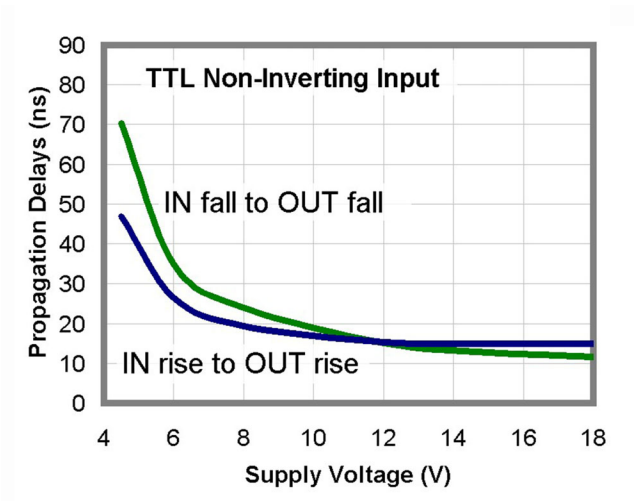


图 23. 传播延迟与电源电压

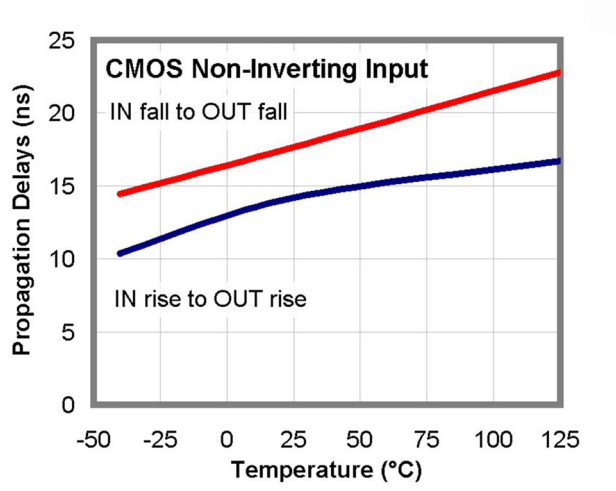


图 24. 传播延迟与温度的关系

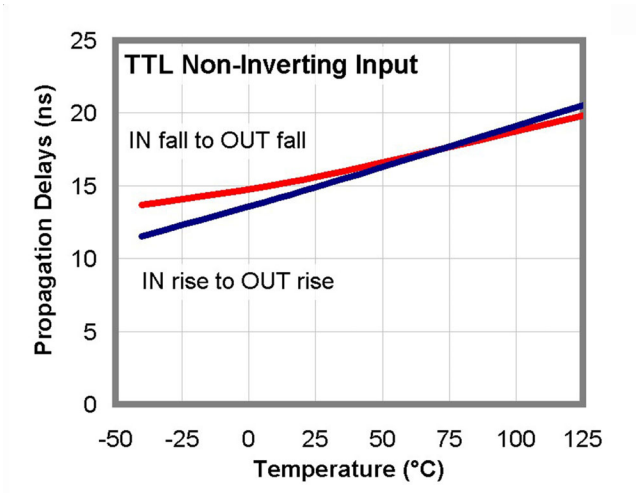


图 25. 传播延迟与温度的关系

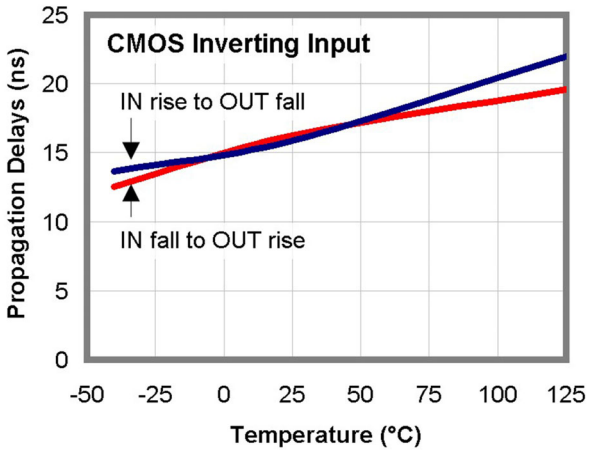


图 26. 传播延迟与温度的关系

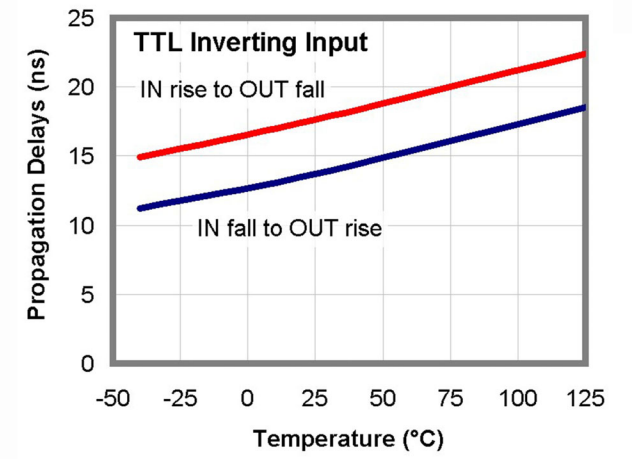


图 27. 传播延迟与温度的关系

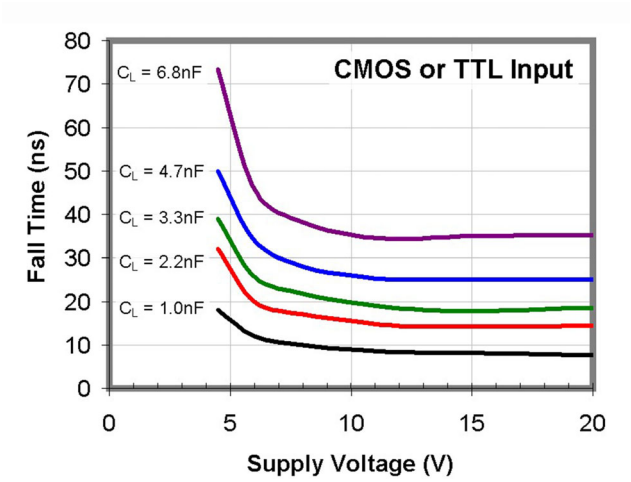


图 28. 传播延迟与温度的关系

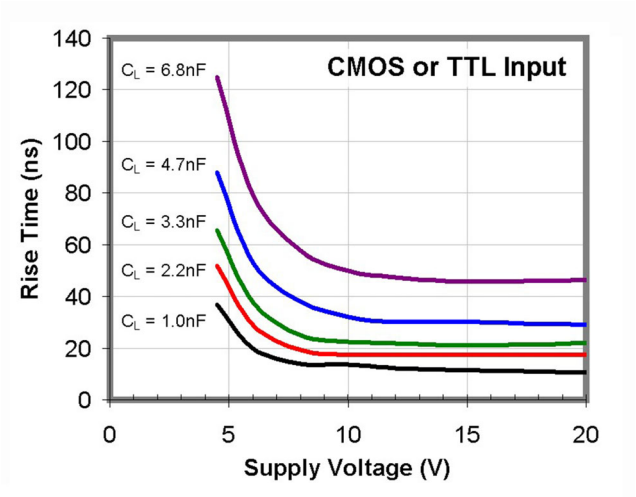


图 29. 上升时间与电源电压的关系

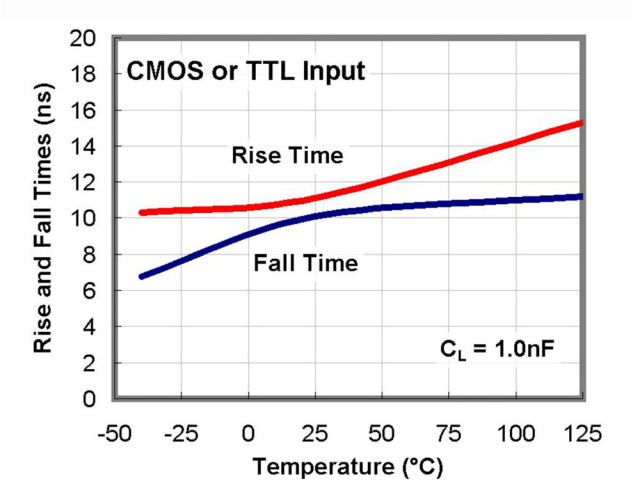


图 30. 上升和下降时间与温度的关系

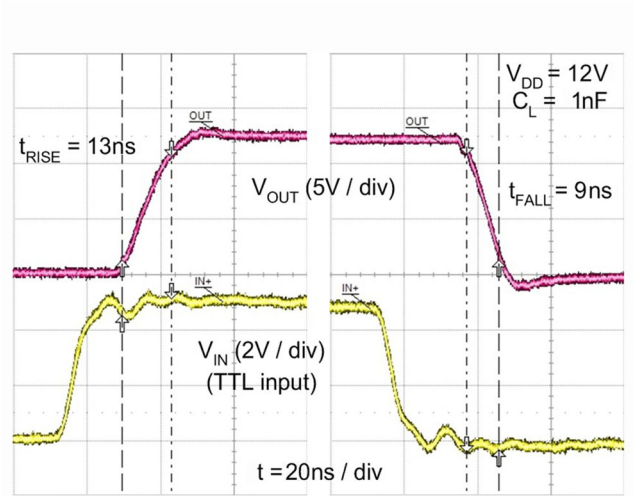


图 31. 上升/下降波形，**1 nF** 负载

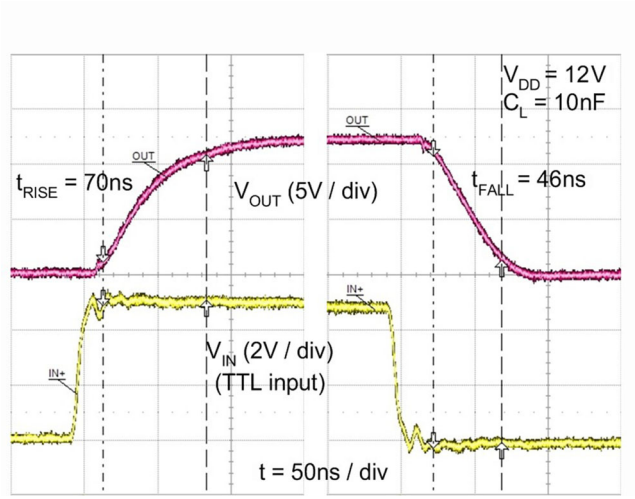


图 32. 上升/下降波形，**10 nF** 负载

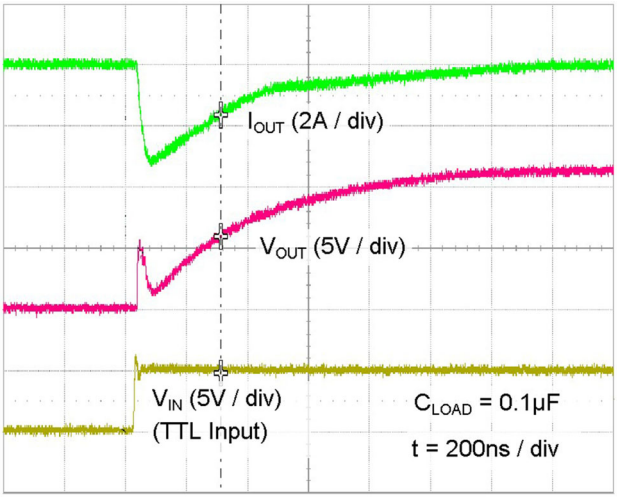


图 33. **V_{DD} = 12 V 时的准静态源电流波形**

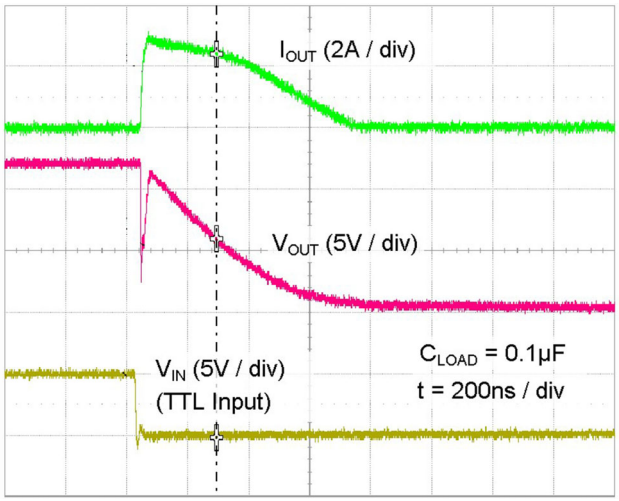


图 34. **V_{DD} = 12 V 时的准静态灌电流波形**

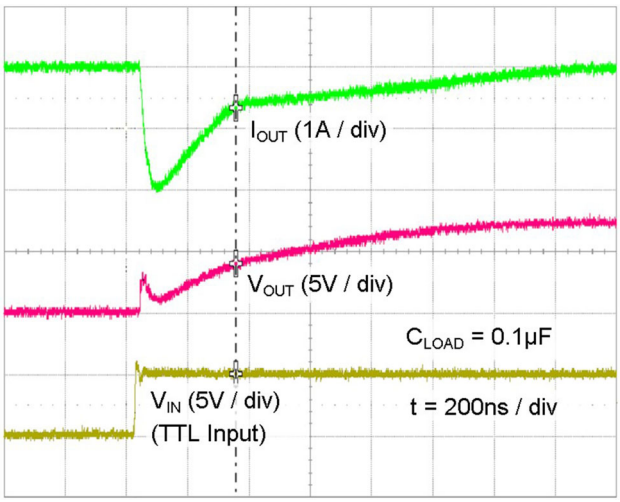


图 35. **V_{DD} = 8 V 时的准静态源电流波形**

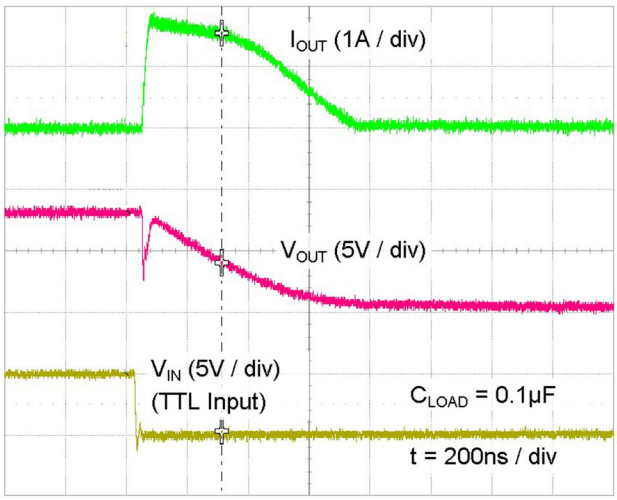


图 36. **V_{DD} = 8 V 时的准静态灌电流波形**

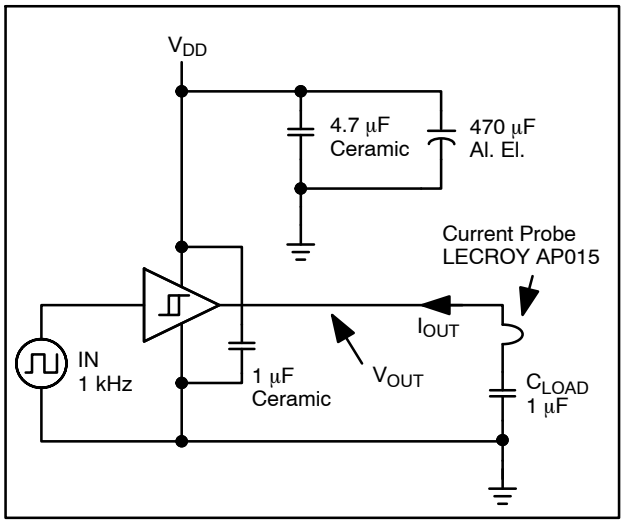


图 37. **准静态 I_{OUT}/V_{OUT} 测试电路**

应用信息

输入阈值

FAN3100 提供 TTL 或 CMOS 输入阈值。在 FAN3100T 中，输入阈值符合工业标准 TTL 逻辑阈值，该阈值不依赖于 V_{DD} 电压，且只有大约 0.4 V 的滞回电压。这些电平容许输入端被宽范围输入逻辑信号电平所驱动，大于 2 V 的电压才能被确认为逻辑高电平。TTL 输入的驱动信号应有快速上升和下降沿，压摆率 6 V/ms 或更快，这样从 0 到 3.3 V 的上升时间应为 550 ns 或更小。转换速率较低时，电路噪声会导致驱动电压超过滞回电压，并再次触发驱动器输入，引起工作不稳定。

在 FAN3100C 中，逻辑输入阈值依赖于 V_{DD} 电平，并且当 V_{DD} 为 12 V 时，逻辑上升沿阈值约为 V_{DD} 的 55%，输入下降沿阈值约为 V_{DD} 的 38%。CMOS 输入配置提供了一个约为 17% V_{DD} 大小的滞回电压。如果在系统设计中得到良好耦合和旁路技术，能够防止噪声破坏输入电压滞回窗口，则 CMOS 输入可使用较慢的边沿（接近直流）。这样就容许通过调节位于控制信号和驱动器 IN 引脚之间的一个 RC 电路，精确设置定时间隔。驱动器 IN 引脚上的慢速上升沿将在控制信号和驱动器输出引脚之间 引入了一个延时。

静态电源电流

在 I_{DD}（静态）典型性能图形（参见图 5－图 6 和图 11－图 12）中，波形曲线是在所有输入端浮置（输出为低电平）的条件下产生的，显示了测试配置下静态 I_{DD} 电流的最小值。对于其他状态，流过输入端和输出端 100 kΩ 电阻的附加电流如框图所示（参见图 1－图 2）。在这些情况下，静态 I_{DD} 电流的实际值为曲线值与附加电流之和。

MillerDrive™ 栅极驱动技术

FAN3100的输出级具有如图 38 中所示的 MillerDrive 架构，结合了双极性器件和 MOS 器件，能够在大范围电源电压和温度变化下提供大电流。当输出级在 1/3 和 2/3 V_{DD} 之间摆动时，双极性器件能够承载较大电流，MOS 器件将输出轨到轨拉高或拉低。

MillerDrive 的用途是加速开关动作， 其原理为在 MOSFET 的栅极至漏极电容被充电或放电时（作为导通/关断过程的一部分），在 Miller 平台期间提供最高电流。对于 MOSFET 导通或关断期间需要零电压切换功能的应用而言，即使米勒平台不会出现，驱动器也能够为快速开关过程提供足够高的峰值电流。这种情况常常出现在同步整流器的应用中，因为体二极管通常在 MOSFET 导通之前就已经导通。

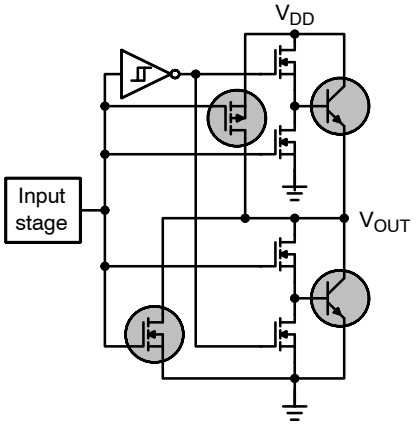


图 38. **MillerDrive™ 输出结构**

欠压锁定

FAN3100 启动逻辑经过优化，可利用欠压锁定 (UVLO) 功能驱动参考点接地的 N 沟道 MOSFET，以确保 IC 有序地启动。当 V_{DD} 处于上升阶段，但是工作电压低于 3.9 V 时，电路保持输出为低电平，不受输入引脚状态的影响。在该器件激活后，在该器件关闭之前电源电压必须跌落 0.2 V。当低 V_{DD} 电源电压因功率切换而产生噪音时，该滞回有利于防止抖动。这种配置对于驱动高侧 P 沟道 MOSFET 不适用，因为驱动器的低输出电压会在 V_{DD} 低于 3.9 V 时导通 P 沟道 MOSFET 。

VDD 旁路电容指南

要使此 IC 迅速导通电源器件，必须在 V_{DD} 和 GND 引脚之间连接一个局部的高频旁路电容 C_{BYP}（具有低 ESR 和 ESL），且具有最短布线长度。此电容是 10 μF 到 47 μF 大容量电解电容器的补充，常见于驱动器和控制器偏置电路上。

选择 C_{BYP} 值的典型条件是保持 V_{DD} 电源上的纹波电压 ≤5%。这通常使用 ≥20 倍等效负载电容 C_{EQV} 的值实现，在此定义为 Qgate/V_{DD} 。通常选用 0.1 μF 到 1 μF 或更大的陶瓷电容，因为它们是电介质（例如 X5R 和 X7R），具有良好的温度特性和高脉冲电流能力。

如果电路噪声影响了正常运行，C_{BYP} 值可提高至 C_{EQV} 的 50–100 倍，或者 C_{BYP} 分解为两个电容。其中一个应为较大的值（基于等效负载电容），另一个的值则较小（如 1–10 nF），安装在离 VDD 和 GND 引脚最近的地方，以承载电流脉冲的更高频部分。

布线与连接指南

FAN3100 含有快速反应输入电路、短传播延迟，以及能够提供电流峰值高于 2 A 的输出级，有利于电压转换时间从低于 10 ns 到超过 100 ns。强烈推荐下述布线与连接指南：

- 使高电流输出和电源接地路径与逻辑输入信号和信号接地路径分离。这在处理 TTL 电平逻辑阈值时特别关键。
- 保持驱动器尽可能地靠近负载，以使大电流导线的长度最小化。这样可减少串联电感，提高高速开关功能，同时减少可向驱动器输入和其他周围电路辐射 EMI 的环路面积。
- FAN3100 可采用两种封装，引脚配置稍有不同，但提供的性能相似。在 6 引脚 MLP 封装中，引脚 2 内部连接至输入模拟地，并应该通过 IC 下面的较短路径直连至电源接地，即引脚 5。在 5 引脚 SOT23 中，内部模拟和电源地连接时通过分开的、单独的焊接线连接至引脚 2 的，应该用作电源和控制信号的普通接地点。
- 许多高速功率电路都容易受噪声的影响，噪声一般来自于其自身输出或者其它外部源，有可能导致输出再触发。如果在模拟板或非最佳电路布局（具有长输入、启用或输出引线）中测试电路，这些影响会特别显著。为了获得最佳效果，引脚连线越短越直接越好。
- 应最小化导通和关断电流路径，如以下章节所述。

图 39 显示了 MOSFET 导通时的脉冲栅极驱动电流通路，驱动器为栅极充电可导通 MOSFET。这个电流由局部旁路电容 C_{BYP} 产生，流经驱动器到 MOSFET 栅极，再到地。为了尽可能地实现高峰值电流，通路上的电阻和电感应该最小化。这个局部电容 C_{BYP} 在驱动器 MOSFET 电路中的作用是吸收高峰值电流脉冲，防止其干扰 PWM 控制器的敏感模拟电路。

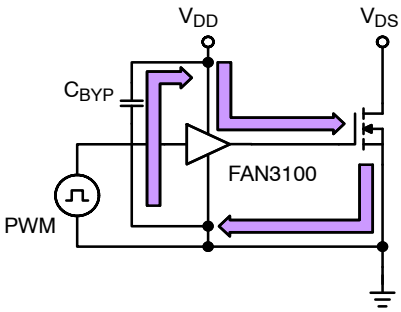


图 39. **MOSFET 导通的电流路径**

图 40 显示了 MOSFET 关断时的电流通路。理想地，通过一个较小的环路，驱动器直接将电流分流到 MOSFET 的源极。为了实现快速关断，通路上的电阻和电感应该最小化。

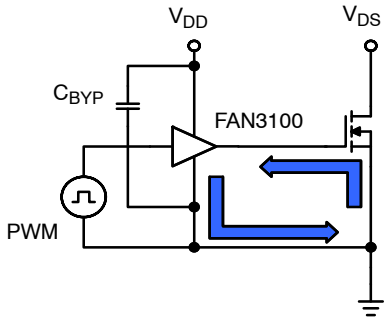


图 40. **MOSFET 关断的电流路径**

逻辑操作真值表

FAN3100 真值表显示了双输入配置下的工作状态。在同相驱动器配置中，IN– 引脚应为逻辑低电平。若 IN– 引脚接逻辑高电平，会导致器件功能禁用，而且驱动器的输出总是保持低电平，不受 IN+ 引脚状态的影响。

表 1. FAN3100 真值表

IN+	IN–	OUT
0	0	0
0	1	0
1	0	1
1	1	0

图 41 中所示的同相驱动器配置中，IN– 引脚与地相连， IN+ 引脚外接输入信号 (PWM)。IN– 引脚接逻辑高电平时，驱动器禁用，并且输出维持低电平，不受 IN+ 引脚状态的影响。

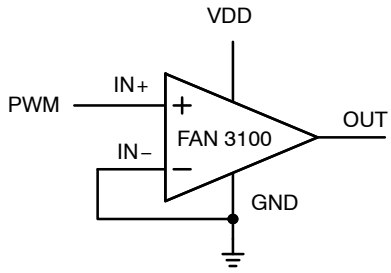


图 41. **使能的双输入驱动器，同相配置**

图 42 中所示的反相驱动器应用中，IN+ 引脚为高电平。 IN+ 与 GND 相连时输出低电平，不受 IN− 引脚状态的影响。

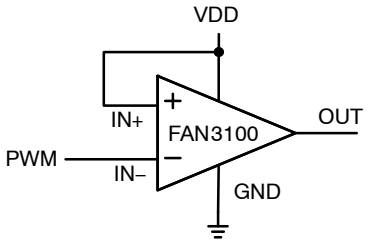


图 42. 使能的双输入驱动器，反相配置

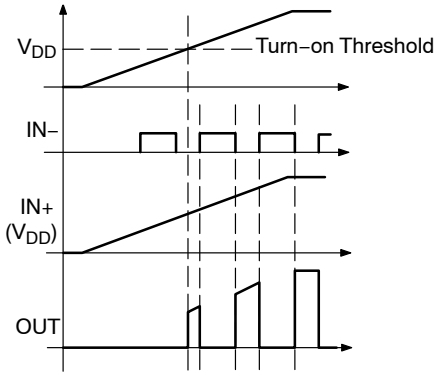


图 44. 反相启动波形

工作波形

上电时，驱动器的输出保持低电平，直到 V_{DD} 电压达到导通阈值。输出脉冲电流幅值随着 V_{DD} 的上升而上升，直到 V_{DD} 达到稳态。图 43 中例示的同相运行说明了输出端保持在低电平，直到达到 UVLO 阈值，然后输出与输入同相。

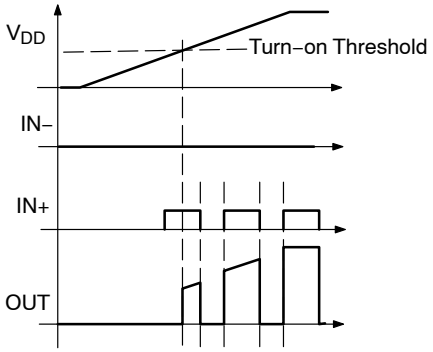


图 43. 同相启动波形

对于图 42 的反相配置，启动波形如图 44 所示。当 IN+ 与 VDD 相连且 IN− 与输入信号相连时，输出脉冲与输入反相。上电时，反相输出端保持低电平，直到 V_{DD} 电压达到导通阈值，其后它与输入保持反相。

热指南

栅极驱动器驱动高频率开关 MOSFET 和 IGBT 时，会产生显著的功耗。在应用中重要的是，确定栅极驱动器的功耗及其引起的结温，确保器件在可接受的温度范围内工作。

栅极驱动器的总功耗为两元件 P_{GATE} 和 $P_{DYNAMIC}$ 之和：

$$P_{TOTAL} = P_{GATE} + P_{DYNAMIC} \quad \text{(eq. 1)}$$

栅极驱动损耗：发生在提供栅极电流、按照开关频率驱动负载 MOSFET 的过程中最主要的功耗。由驱动 MOSFET 导致的功耗由以下方式确定， 其中 MOSFET 处于指定栅极−源电压 V_{GS}，带有栅极电荷 Q_G，以及处于开关频率 f_{SW}：

$$P_{GATE} = Q_G \cdot V_{GS} \cdot f_{SW} \quad \text{(eq. 2)}$$

动态预驱动 / 直通电流：在动态工作条件下（包括引脚上拉/下拉电阻），源于内部电流消耗的功耗可在典型性能特性部分从 I_{DD}（无负载）与频率的关图中获，从而确定实际工作条件下从 V_{DD} 得到的电流 $I_{DYNAMIC}$：

$$P_{DYNAMIC} = I_{DYNAMIC} \cdot V_{DD} \quad \text{(eq. 3)}$$

一旦确定了驱动器的功耗，相对电路板的驱动器结的温升可以采用以下热公式进行估算，这里假定 Ψ_{JB} 是出于一个类似的热设计（散热和气流）而确定：

$$T_J = P_{TOTAL} \cdot \Psi_{JB} + T_B \quad \text{(eq. 4)}$$

其中：

T_J = 驱动器结温

Ψ_{JB} = (psi) 热特性参数（与温升和总功耗相关）

T_B = 在（热特征）表中定义的位置处的板温度

在采用 48 V 输入的典型正向转换器应用中（如图 49 所示）， FDS2672 为一个潜在的 MOSFET 选择。$V_{GS} = V_{DD} = 10$ V 时，典型栅极电荷为 32 nC。当在 500 kHz 开关频率下使用 TTL 输入驱动器时，整体功耗可计算如下：

$$P_{GATE} = 32nC \cdot 10V \cdot 500kHz = 0.160W \quad \text{(eq. 5)}$$

$$P_{DYNAMIC} = 8mA \cdot 10V = 0.080W \quad \text{(eq. 6)}$$

$$P_{TOTAL} = 0.24W \quad \text{(eq. 7)}$$

5 引脚 SOT23 封装具有一个结到引脚热特性参数 Ψ_{JB} = 51 °C/W。

在一个系统应用中，器件周围的局部温度受电路板和 PCB 结构及其表面气流的影响。为确保可靠运行，必须防止器件的最大结温超过 150 °C 的最大额定值；80% 降额时，T_J 限制为 120 °C。重置方程式 4 确定所需的电路板温度以保持结温低于 120 °C：

$$T_{B,MAX} = T_J - P_{TOTAL} \cdot \Psi_{JB} \quad \text{(eq. 8)}$$

$$T_{B,MAX} = 120°C - 0.24W \cdot 51°C/W = 108°C \quad \text{(eq. 9)}$$

作为比较，将前例中的 5 引脚 SOT23 封装替换为 6 引脚 MLP 封装，Ψ_{JB} = 2.8 °C/W。6 引脚 MLP 封装可在 119 °C 的 PCB 温度下保持结温低于 120 °C。这表明物理尺寸更小的 MLP 封装，其散热焊盘提供了更有效的热传导以消散驱动器的热量。考虑到在减小电路总体尺寸与降低结温提高可靠性之间做出权衡。

典型应用电路图

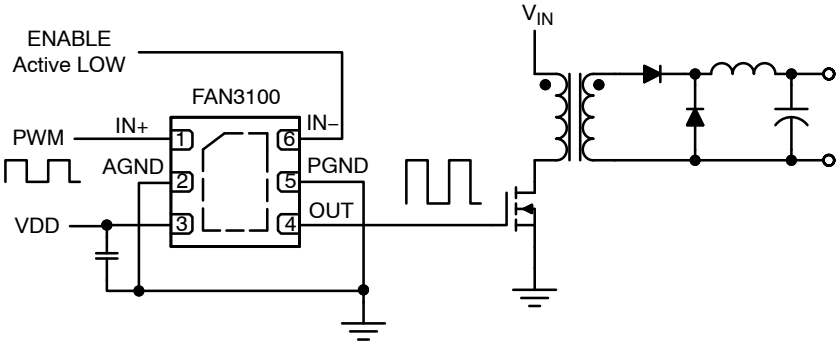


图 45. 正向转换器，初级端栅极驱动（如 **MLP** 封装所示）

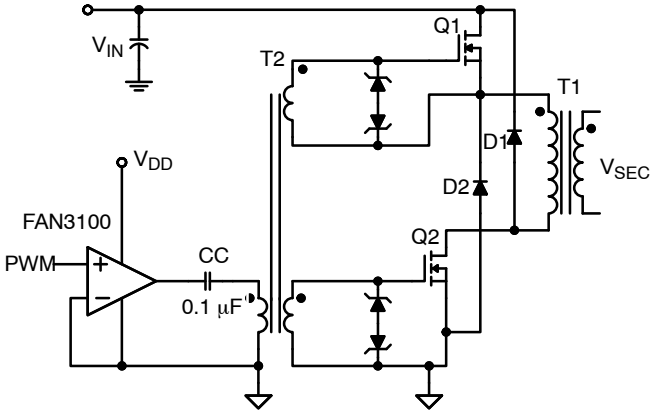


图 46. 双晶体管正向转换器栅极变压器的驱动器

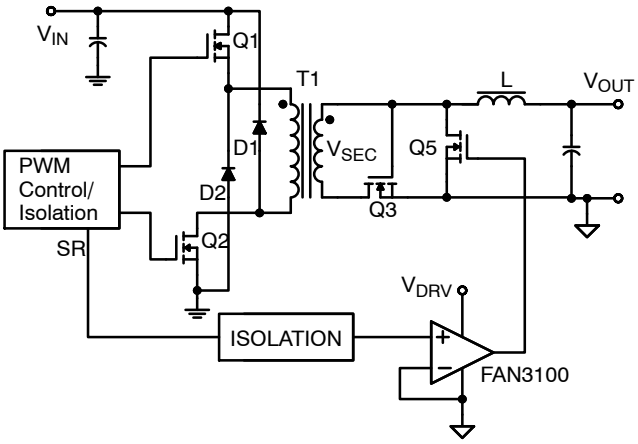


图 47. 次级同步整流驱动器

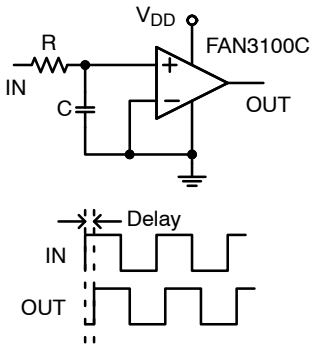


图 48. 采用 **CMOS** 输入的可编程延时

订购信息

器件编号	输入阈值	封装	包装方法†
FAN3100CSX	CMOS	5 引脚 SOT23	3,000 / Tape & Reel
FAN3100TMPX	TTL	6 引脚, 2x2 mm MLP 封装	3,000 / Tape & Reel
FAN3100TSX	TTL	5 引脚 SOT23	3,000 / Tape & Reel

DISCONTINUED (Note 12)

FAN3100CMPX	CMOS	6 引脚, 2x2 mm MLP 封装	3,000 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

12. **DISCONTINUED:** This device is not recommended for new design. Please contact your **onsemi** representative for information. The most current information on this device may be available on www.onsemi.com.

表 2. 相关产品

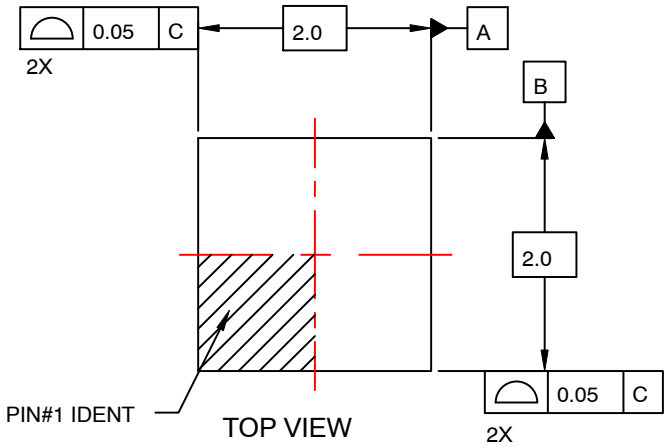
器件编号	类型	栅极驱动 (说明 13) (Sink/Src)	输入阈值	逻辑	封装
FAN3100T	**单 2 A**	**+2.5 A/−1.8 A**	**TTL**	**双输入/单输出的单通道**	**SOT23-5, MLP6**
FAN3100C	**单 2 A**	**+2.5 A/−1.8A**	**CMOS**	**双输入/单输出的单通道**	**SOT23-5, MLP6**
FAN3226C	双通道 2 A	+2.4 A/−1.6 A	CMOS	双反相通道 + 双使能	SOIC8, MLP8
FAN3226T	双通道 2 A	+2.4 A/−1.6 A	TTL	双反相通道 + 双使能	SOIC8, MLP8
FAN3227C	双通道 2 A	+2.4 A/−1.6 A	CMOS	双同相通道 + 双使能	SOIC8, MLP8
FAN3227T	双通道 2 A	+2.4 A/−1.6 A	TTL	双同相通道 + 双使能	SOIC8, MLP8
FAN3228C	双通道 2 A	+2.4 A/−1.6 A	CMOS	双输入/单输出的双沟道，引脚配置 1	SOIC8, MLP8
FAN3228T	双通道 2 A	+2.4 A/−1.6 A	TTL	双输入/单输出的双沟道，引脚配置 1	SOIC8, MLP8
FAN3229C	双通道 2 A	+2.4 A/−1.6 A	CMOS	双输入/单输出的双沟道，引脚配置 2	SOIC8, MLP8
FAN3229T	双通道 2 A	+2.4 A/−1.6 A	TTL	双输入/单输出的双沟道，引脚配置 2	SOIC8, MLP8
FAN3223C	双 4 A	+4.3 A/−2.8 A	CMOS	双反相通道 + 双使能	SOIC8, MLP8
FAN3223T	双 4 A	+4.3 A/−2.8 A	TTL	双反相通道 + 双使能	SOIC8, MLP8
FAN3224C	双 4 A	+4.3 A/−2.8 A	CMOS	双同相通道 + 双使能	SOIC8, MLP8
FAN3224T	双 4 A	+4.3 A/−2.8 A	TTL	双同相通道 + 双使能	SOIC8, MLP8
FAN3225C	双 4 A	+4.3 A/−2.8 A	CMOS	双输入/单输出的双通道	SOIC8, MLP8
FAN3225T	双 4 A	+4.3 A/−2.8 A	TTL	双输入/单输出的双通道	SOIC8, MLP8

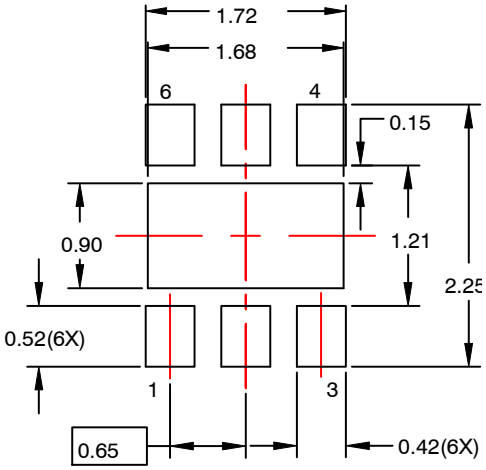
13. OUT = 6 V, V_{DD} = 12 V 时的典型电流。

MillerDrive is a trademark of Semiconductor Components Industries, LLC dba “**onsemi**” or its affiliates and/or subsidiaries in the United States and/or other countries.

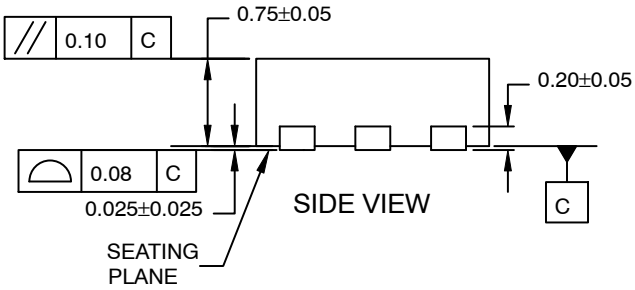
WDFN6 2x2, 0.65P
CASE 511CY
ISSUE O

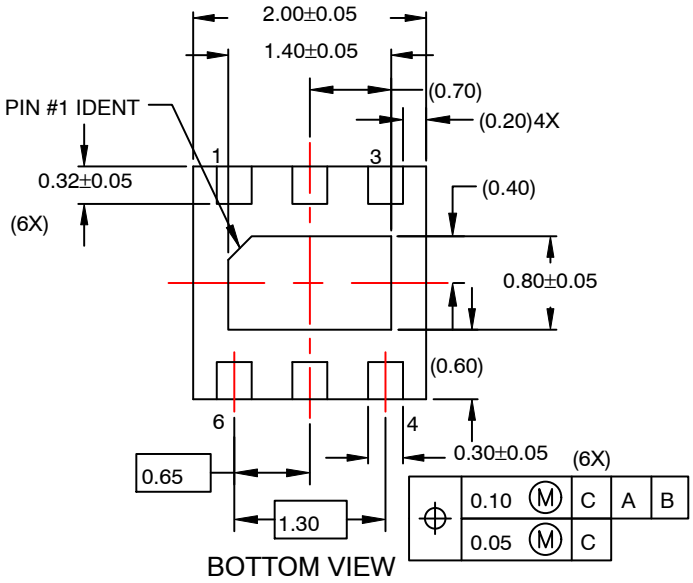
DATE 31 JUL 2016





RECOMMENDED
LAND PATTERN





NOTES:

A. PACKAGE DOES NOT FULLY CONFORM TO JEDEC MO−229 REGISTRATION

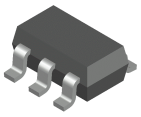
B. DIMENSIONS ARE IN MILLIMETERS.

C. DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 2009.

D. LAND PATTERN RECOMMENDATION IS EXISTING INDUSTRY LAND PATTERN.

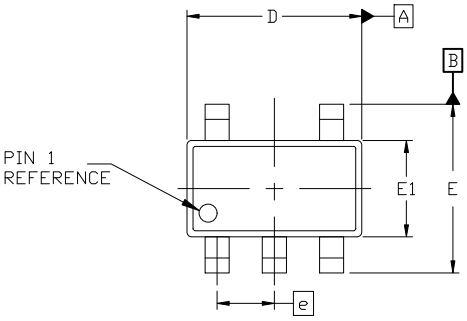
DOCUMENT NUMBER:	**98AON13613G**	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	**WDFN6 2X2, 0.65P**	**PAGE 1 OF 1**

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

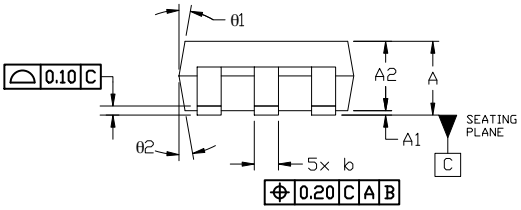


SOT−23, 5 Lead
CASE 527AH
ISSUE A

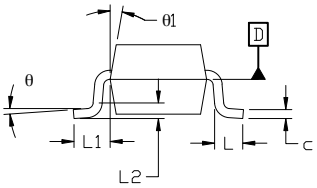
DATE 09 JUN 2021



TOP VIEW



SIDE VIEW

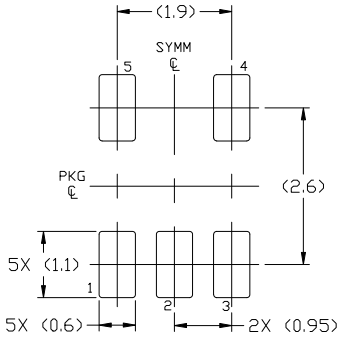


END VIEW

NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 19894
2. CONTROLLING DIMENSION: MILLIMETERS
3. MAXIMUM LEAD THICKNESS INCLUDES LEAD FINISH THICKNESS. MINIMUM LEAD THICKNESS IS THE MINIMUM THICKNESS OF THE BASE MATERIAL.
4. DIMENSIONS D AND E1 DO NOT INCLUDE MOLD FLASH, PROTRUSIONS, OR GATE BURRS. MOLD FLASH, PROTRUSIONS, OR GATE BURRS SHALL NOT EXCEED 0.25 PER SIDE. D AND E1 DIMENSIONS ARE DETERMINED AT DATUM D.
5. DIMENSION 'b' DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE 'b' DIMENSION AT MAXIMUM MATERIAL CONDITION. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD SHALL NOT BE LESS THAN 0.07mm.

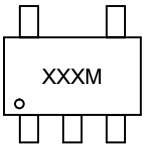
	MILLIMETERS		
DIM	MIN.	NOM.	MAX.
A	0.90	—	1.45
A1	0.00	—	0.15
A2	0.90	1.15	1.30
b	0.30	—	0.50
c	0.08	—	0.22
D	2.90 BSC		
E	2.80 BSC		
E1	1.60 BSC		
e	0.95 BSC		
L	0.30	0.45	0.60
L1	0.60 REF		
L2	0.25 REF		
θ	0°	4°	8°
θ1	0°	10°	15°
θ2	0°	10°	15°



RECOMMENDED MOUNTING FOOTPRINT

For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC MARKING DIAGRAM*



XXX = Specific Device Code
M = Date Code

*This information is generic. Please refer to device data sheet for actual part marking. Pb−Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

DOCUMENT NUMBER:	98AON34320E	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOT−23, 5 LEAD	PAGE 1 OF 1

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

onsemi, onsemi, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent−Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as−is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:
Technical Library: www.onsemi.com/design/resources/technical−documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support
For additional information, please contact your local Sales Representative at
www.onsemi.com/support/sales