

FDMF5833

集成有热警告和热关断功能的智能功率级(SPS)模块

描述

SPS系列是安森美半导体新一代完全优化的超紧凑的集成MOSFET及驱动器功率级方案，可用于高电流、高频率、同步降压DC-DC应用。FDMF5833将一个带有自举肖特基二极管的驱动器IC、两个功率MOSFET和一个热监控器集成至热增强的超紧凑型5 mm × 5 mm封装内。

通过集成的方法对SPS开关功率级进行了优化，以实现驱动器和MOSFET的动态性能、最小化系统电感和功率MOSFET $R_{DS(ON)}$ 。SPS系列采用安森美半导体的高性能POWER TRENCH[®] MOSFET技术，可以减少开关振铃，省去大多数降压转换器应用中使用的缓冲器电路。

驱动器IC通过减少死区时间和传播延迟，可进一步提高性能。热警告功能会发出潜在过温情况的警告。如果发生过温情况，热关断功能则会关断驱动器。FDMF5833还为提高轻载效率整合了自动非连续导通模式(DCM)(ZCD#)。

FDMF5833还提供了三态5 V PWM输入，可与广泛的PWM控制器兼容。

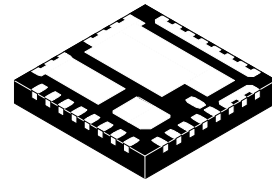
特性

- 集成覆晶低侧 MOSFET 的超紧凑型 5 mm × 5 mm PQFN Copper-Clip 封装
- 高电流处理能力: 50 A
- 三态 5 V PWM 输入栅极驱动器
- 低侧驱动(LDRV)的动态电阻模式可在负电感电流期间减慢低侧MOSFET开关
- 自动DCM (低侧栅极关断) 使用ZCD#输入
- 热警告功能(THWN#)，对栅极驱动器IC过温情况发出警告
- 热关断(THDN)
- 高侧短路故障 # 检测/关断
- 双通道模式使能/故障 # 引脚
- ZCD# 输入和EN输入各自的内部上拉和下拉
- 安森美半导体POWER TRENCH MOSFET，可提供干净的电压波形并降低振铃噪声
- 低侧MOSFET采用安森美半导体SyncFET™ 技术 (集成肖特基二极管)
- 集成式自举肖特基二极管
- 优化的/极短的死区时间
- VCC欠压锁定(UVLO)
- 经优化，实现开关频率达到1.5 MHz
- PWM 最低可控导通时间: 30 ns
- 低关断电流: < 3 μ A
- 优化的 FET 对以实现最高能效: 10~15% 占空比
- 工作结温范围: -40°C 至 +125°C
- 安森美半导体环保封装并符合RoHS标准



ON Semiconductor[®]

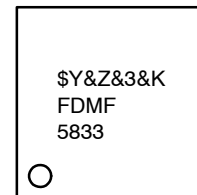
www.onsemi.cn



PQFN31 5x5, 0.5P
CASE 483BR

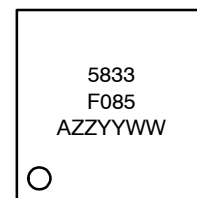
MARKING DIAGRAMS

FDMF5833



\$Y	= Logo
&Z	= Assembly Plant Code
&3	= Numeric Date Code
&K	= Lot Code
FDMF5833	= Specific Device Code

FDMF5833-F085



5833 F085	= Specific Device Code
A	= Assembly Location
ZZ	= Wafer Lot
YY	= Year
WW	= Work Week

ORDERING INFORMATION

See detailed ordering and shipping information on page 25 of this data sheet.

FDMF5833

应用

- 笔记本、平板电脑和超级本
- 服务器和 workstation、V-Core 和非 V-Core 直流—直流转换器
- 台式和一体式电脑、V-Core 和非 V-Core 直流—直流转换器
- 高性能游戏主板
- 高电流直流—直流负载点(POL)转换器
- 网络和电信微处理器稳压器
- 小尺寸稳压器模块

引脚配置

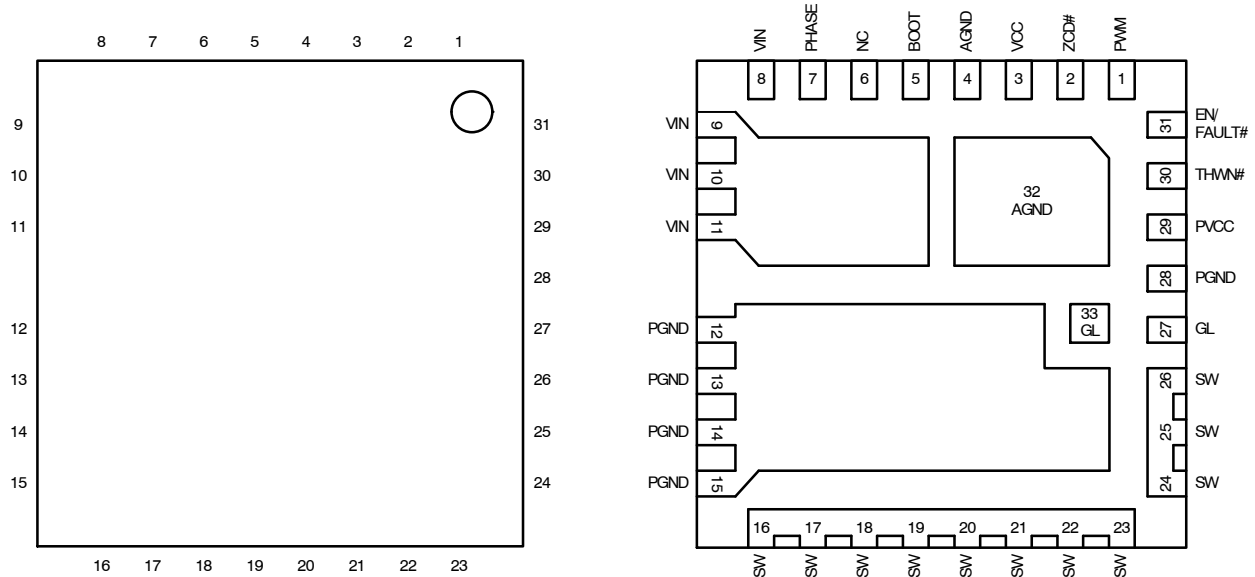


图 1. 引脚配置—俯视图和透视图

引脚定义

引脚号	名称	描述
1	PWM	栅极驱动器IC的PWM输入
2	ZCD#	ZCD (自动DCM)比较器的使能输入
3	VCC	所有模拟控制功能的电源输入; 这是“静态的”VCC
4, 32	AGND	IC模拟部分和基板的模拟接地, 内部连接至PGND
5	BOOT	高侧MOSFET栅极驱动器的电源。BOOT与PHASE之间的电容器提供导通N沟道高侧MOSFET所需的电荷。
6	NC	未连接
7	PHASE	自举电容器的返回连接, 内部连接至SW节点
8~11	VIN	功率级的功率输入
12~15, 28	PGND	功率级的功率地
16~26	SW	高侧和低侧MOSFET之间的开关节点; 同时是栅极驱动器SW节点比较器的输入和ZCD比较器的输入
27, 33	GL	栅极低电平、低侧MOSFET栅极监控器
29	PVCC	LS (Note 1) 栅极驱动器和自举二极管的电源输入
30	THWN#	125°C热警告标识 - 当检测到125°C热警告预设温度时会拉至低电平
31	EN / FAULT#	双功能, 栅极驱动器IC的使能输入。FAULT# - 在检测到故障情况(HS (Note 2) MOSFET短路或150°C THDN)时, 内部下拉在物理上将该引脚拉至低电平。

1. LS = 低侧。
2. HS = 高侧。

FDMF5833

应用框图

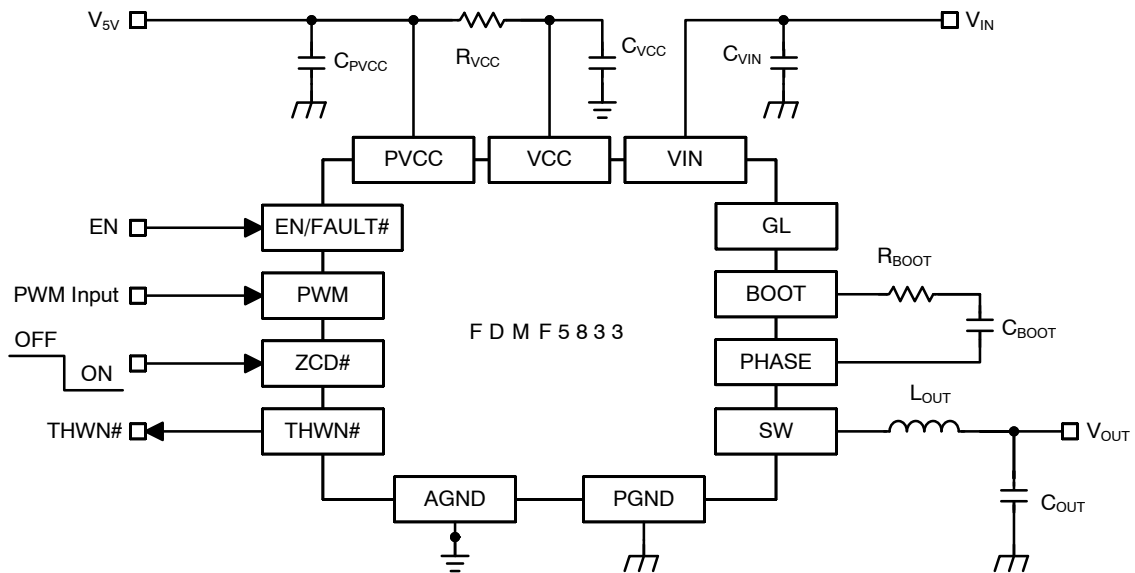


图 2. 典型应用框图

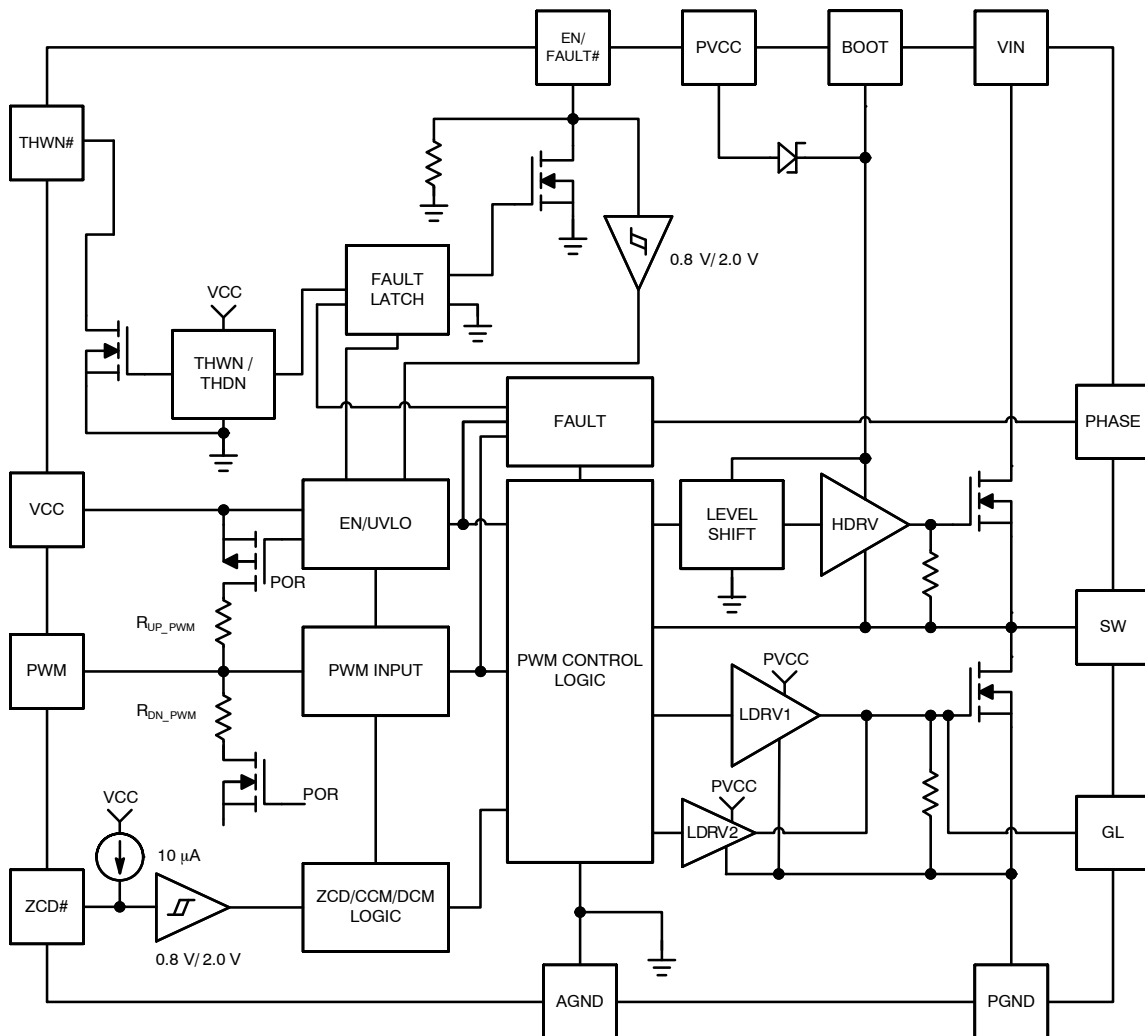


图 3. 功能框图

FDMF5833

绝对最大额定值 ($T_A = T_J = 25^\circ\text{C}$)

符号	参数		最小值	最大值	单位
V_{CC}	电源电压	以AGND为基准	-0.3	6.0	V
PV_{CC}	驱动电压	以AGND为基准	-0.3	6.0	V
$V_{EN/FAULT\#}$	输出启用/禁用	以AGND为基准	-0.3	6.0	V
V_{PWM}	PWM信号输入	以AGND为基准	-0.3	$V_{CC}+0.3$	V
$V_{ZCD\#}$	ZCD模式输入	以AGND为基准	-0.3	6.0	V
V_{GL}	低电平栅极生产测试引脚	以AGND为基准(仅适用于直流)	-0.3	6.0	V
		以AGND为基准, $AC < 20\text{ ns}$	-3.0	6.0	
$V_{THWN\#}$	热警告	以AGND为基准	-0.3	6.0	V
V_{IN}	电源输入	以PGND、AGND为基准	-0.3	30.0	V
V_{PHASE}	PHASE	以PGND、AGND为基准(仅适用于直流)	-0.3	30.0	V
		以PGND为基准, $AC < 20\text{ ns}$	-7.0	35.0	
V_{SW}	开关节点输入	以PGND、AGND为基准(仅适用于直流)	-0.3	30.0	V
		以PGND为基准, $AC < 20\text{ ns}$	-7.0	35.0	
V_{BOOT}	自举电源	以AGND为基准(仅适用于直流)	-0.3	35.0	V
		以AGND为基准, $AC < 20\text{ ns}$	-5.0	40.0	
$V_{BOOT-PHASE}$	Boot至PHASE电压	以PVCC为基准	-0.3	6.0	V
$I_{O(AV)}$ (Note 3)	输出电流	$f_{SW} = 300\text{ kHz}, V_{IN} = 12\text{ V}, V_{OUT} = 1.8\text{ V}$		50	A
		$f_{SW} = 1\text{ MHz}, V_{IN} = 12\text{ V}, V_{OUT} = 1.8\text{ V}$		45	
I_{FAULT}	EN/FAULT# 灌电流		-0.1	7.0	mA
θ_{J-A}	结至环境热阻			12.4	$^\circ\text{C/W}$
θ_{J-PCB}	结至PCB热阻(在安森美半导体SPS热板下)			1.8	$^\circ\text{C/W}$
T_A	环境温度范围		-40	+125	$^\circ\text{C}$
T_J	最大结温			+150	$^\circ\text{C}$
T_{STG}	存储温度范围		-55	+150	$^\circ\text{C}$
ESD	静电放电防护	人体模型, ANSI/ESDA/JEDEC JS-001-2012	3000		V
		元件充电模型, JESD22-C101	2500		

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考译文)

如果电压超过最大额定值表中列出的值范围, 器件可能会损坏。如果超过任何这些限值, 将无法保证器件功能, 可能会导致器件损坏, 影响可靠性。

3. $I_{O(AV)}$ 额定值是通过在 $T_A = 25^\circ\text{C}$ 及自然对流冷却条件下测试 ON Semiconductor 的 SPS 评估板得到的。该额定值受限于 SPS 峰值温度 $T_J = 150^\circ\text{C}$, 并随工作条件和 PCB 布局变化。在不同应用设置中, 该额定值可能会发生变化。

推荐工作条件

符号	参数	最小值	典型值	最大值	单位
V _{CC}	控制电路电源电压	4.5	5.0	5.5	V
PV _{CC}	栅极驱动电路电源电压	4.5	5.0	5.5	V
V _{IN}	输出级电源电压	4.5 (Note 4)	19.0	24.0 (Note 5)	V

Functional operation above the stresses listed in the Recommended Operating Ranges is not implied. Extended exposure to stresses beyond the Recommended Operating Ranges limits may affect device reliability.

(参考译文)

高于推荐工作范围表格中所列电压时，不保证能够正常运行。长时间在推荐工作范围表格中规定范围以外的电压下运行，可能会影响器件的可靠性。

4. 根据应用条件，可实现3.0 V V_{IN}。

5. 在V_{IN}较高的条件下运行，在MOSFET开关瞬态过程中，可能在SW至GND和BOOT至GND节点上产生大量交流电压过冲。为了确保SPS可靠运行，SW至GND和BOOT至GND必须保持在上表中的绝对最大额定值或以下。

电气特性

(典型值是在V_{IN} = 12 V、V_{CC} = PV_{CC} = 5 V且T_A = T_J = +25°C条件下测得的，除非另有说明。

最小/最大值是在V_{IN} = 12 V、V_{CC} = PV_{CC} = 5 V + 10%且T_J = T_A = -40~125°C条件下测得的，除非另有说明。)

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

基本工作

I _Q	静态电流	I _Q = I _{VCC} + I _{PVCC} 、EN = HIGH、PWM = LOW或HIGH或Float (非开关过程中)	-	-	2	mA
I _{SHDN}	关断电流	I _{SHDN} = I _{VCC} + I _{PVCC} 、EN = GND	-	-	3	μA
V _{UVLO}	欠压闭锁阈值	V _{CC} 上升	3.5	3.8	4.1	V
V _{UVLO_HYST}	UVLO滞环		-	0.4	-	V
t _{D_POR}	POR延迟到启用IC	V _{CC} UVLO上升到内部PWM启用	-	-	20	μs

EN输入

V _{IH_EN}	输入电压高电平		2.0			V
V _{IL_EN}	输入电压低电平				0.8	V
R _{PLD_EN}	下拉电阻			250		kΩ
t _{PD_ENL}	EN低电平传输延迟	PWM = GND, EN变为低电平到GL变为低电平		25		ns
t _{PD_ENH}	EN高电平传输延迟	PWM = GND, EN变为高电平到GL变为高电平			20	μs

ZCD#输入

V _{IH_ZCD#}	输入电压高电平		2.0			V
V _{IL_ZCD#}	输入电压低电平				0.8	V
I _{PLU_ZCD#}	上拉电流			10		μA
t _{PD_ZLGLL}	ZCD# 低电平传输延迟	PWM = GND, ZCD# 变为低电平到GL变为低电平(确保I _L ≤ 0)		10		ns
t _{PD_ZHGLH}	ZCD# 高电平传输延迟	PWM = GND, ZCD# 变为高电平到GL变为高电平		10		ns

FDMF5833

电气特性 (continued)

(典型值是在 $V_{IN} = 12\text{ V}$ 、 $V_{CC} = PV_{CC} = 5\text{ V}$ 且 $T_A = T_J = +25^\circ\text{C}$ 条件下测得的，除非另有说明。)

最小/最大值是在 $V_{IN} = 12\text{ V}$ 、 $V_{CC} = PV_{CC} = 5\text{ V} + 10\%$ 且 $T_J = T_A = -40\sim 125^\circ\text{C}$ 条件下测得的，除非另有说明。)

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

PWM输入

R_{UP_PWM}	上拉电阻	典型值： $T_A = T_J = 25^\circ\text{C}$ 且 $V_{CC} = PV_{CC} = 5\text{ V}$ ； 最小值/最大值： $T_A = T_J = -40^\circ\text{C}$ 至 125°C 且 $V_{CC} = PV_{CC} = 5\text{ V} \pm 10\%$		10		$\text{k}\Omega$
R_{DN_PWM}	下拉电阻			10		$\text{k}\Omega$
V_{IH_PWM}	PWM高电平电压		3.8			V
V_{TRI_Window}	三态窗口		1.2		3.1	V
V_{IL_PWM}	PWM低电平电压				0.8	V
$t_{D_HOLD-OFF}$	三态关断时间			90	130	ns
V_{HIZ_PWM}	三态开路电压		2.1	2.5	2.9	V

最低可控导通时间

$t_{MIN_PWM_ON}$	PWM最低可控导通时间	SW节点从GND切换到 V_{IN} 所需的最小PWM电平脉冲	30			ns
--------------------	-------------	-----------------------------------	----	--	--	----

强制最小GL高电平时间

$t_{MIN_GL_HIGH}$	强制最小GL高电平	当检测到低电平 $V_{BOOT-SW}$ 且 PWM LOW $\leq 100\text{ ns}$ 时，最小GL高电平时间		100		ns
---------------------	-----------	---	--	-----	--	----

PWM传输延迟与死区时间($V_{IN} = 12\text{ V}$ 、 $V_{CC} = PV_{CC} = 5\text{ V}$ 、 $f_{SW} = 1\text{ MHz}$ 、 $I_{OUT} = 20\text{ A}$ 、 $T_A = 25^\circ\text{C}$)

t_{PD_PHGLL}	PWM高电平传输延迟	PWM变为高电平到GL变为低电平， V_{IH_PWM} 到90% GL		15		ns
t_{PD_PLGHL}	PWM低电平传输延迟	PWM变为低电平到GH (Note 6)变为低电平， V_{IL_PWM} 到90% GH		30		ns
t_{PD_PHGHH}	PWM高电平传输延迟 (ZCD#保持低电平)	PWM变为高电平到GH变为高电平， V_{IH_PWM} 到10% GH (ZCD# = LOW、 $I_L = 0$ ，且假定工作模式为DCM)		10		ns
t_{D_DEADON}	LS关断到HS导通死区时间	GL变为低电平到GH变为高电平， 10% GL到10% GH，PWM从低电平 过渡到高电平—参见图 29		10		ns
$t_{D_DEADOFF}$	HS关断到LS导通死区时间	GH变为低电平到GL变为高电平， 10% GH到10% GL，PWM从高电平 过渡到低电平—参见图 29		5		ns
$t_{R_GH_20A}$	20 A IOUT下的GH上升时间	10% GH到90% GH， $I_{OUT} = 20\text{ A}$		9		ns
$t_{F_GH_20A}$	20 A IOUT下的GH下降时间	90% GH到10% GH， $I_{OUT} = 20\text{ A}$		9		ns
$t_{R_GL_20A}$	20 A IOUT下的GL上升时间	10% GL到90% GL， $I_{OUT} = 20\text{ A}$		9		ns
$t_{F_GL_20A}$	20 A IOUT下的GL下降时间	90% GL到10% GL， $I_{OUT} = 20\text{ A}$		6		ns
t_{PD_TSGHH}	退出三态传输延迟	PWM (从三态) 变为高电平到GH 变为高电平， V_{IH_PWM} 到10% GH			45	ns
t_{PD_TSGLH}	退出三态传输延迟	PWM (从三态) 变为低电平到GL 变为高电平， V_{IL_PWM} 到10% GL			45	ns

高侧驱动器(HDRV、 $V_{CC} = PV_{CC} = 5\text{ V}$)

R_{SOURCE_GH}	输出电阻，源	源电流 = 100 mA		0.68		Ω
R_{SINK_GH}	输出电阻，灌	灌电流 = 100 mA		0.9		Ω
t_{R_GH}	GH上升时间	10% GH到90% GH， $C_{LOAD} = 1.3\text{ nF}$		4		ns
t_{F_GH}	GH下降时间	90% GH到10% GH， $C_{LOAD} = 1.3\text{ nF}$		3		ns

FDMF5833

电气特性 (continued)

(典型值是在 $V_{IN} = 12\text{ V}$ 、 $V_{CC} = PV_{CC} = 5\text{ V}$ 且 $T_A = T_J = +25^\circ\text{C}$ 条件下测得的, 除非另有说明。

最小/最大值是在 $V_{IN} = 12\text{ V}$ 、 $V_{CC} = PV_{CC} = 5\text{ V} + 10\%$ 且 $T_J = T_A = -40\sim 125^\circ\text{C}$ 条件下测得的, 除非另有说明。)

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

较弱的低侧驱动器(CCM2运行模式下, 仅存在LDRV2, $V_{CC} = PV_{CC} = 5\text{ V}$)

R_{SOURCE_GL}	输出电阻, 源	源电流 = 100 mA		0.82		Ω
I_{SOURCE_GL}	输出源峰值电流	GL = 2.5 V		2		A
R_{SINK_GL}	输出电阻, 灌	灌电流 = 100 mA		0.86		Ω
I_{SINK_GL}	输出灌峰值电流	GL = 2.5 V		2		A

低侧驱动器(CCM1运行模式下, LDRV1与LDRV2并行, $V_{CC} = PV_{CC} = 5\text{ V}$)

R_{SOURCE_GL}	输出电阻, 源	源电流 = 100 mA		0.47		Ω
I_{SOURCE_GL}	输出源峰值电流	GL = 2.5 V		4		A
R_{SINK_GL}	输出电阻, 灌	灌电流 = 100 mA		0.29		Ω
I_{SINK_GL}	输出灌峰值电流	GL = 2.5 V		7		A
t_{R_GL}	GL上升时间	10% GL到90% GL, $C_{LOAD} = 7.0\text{ nF}$		9		ns
t_{F_GL}	GL下降时间	90% GL到10% GL, $C_{LOAD} = 7.0\text{ nF}$		6		ns

热警告标识(125°C)

$T_{ACT_THWN_125}$	激活温度	$T_J = T_A$ 时在驱动器IC上测得		125		$^\circ\text{C}$
$T_{RST_THWN_125}$	重置温度	$T_J = T_A$ 时在驱动器IC上测得		110		$^\circ\text{C}$
R_{PLD_THWN}	下拉电阻	$I_{PLD_THWN} = 1\text{ mA}$		100		Ω

热关断(150°C)

T_{ACT_THDN}	激活温度	$T_J = T_A$ 时在驱动器IC上测得		150		$^\circ\text{C}$
$R_{PLD_EN-THDN}$	下拉电阻	$I_{PLD_EN-THDN} = 1\text{ mA}$		50		Ω

灾难性故障(SW监控器)

V_{SW_MON}	SW监控器基准电压			1.3	2	V
t_{D_FAULT}	传输延迟到将EN/FAULT#信号拉至低电平			20		ns

自举二极管

V_F	正向压降	$I_F = 10\text{ mA}$		0.4		V
V_R	击穿电压	$I_R = 1\text{ mA}$	30			V

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考译文)

除非另有说明, “电气特性”表格中列出的是所列测试条件下的产品性能参数。如果在不同条件下运行, 产品性能可能与“电气特性”表格中所列性能参数不一致。

6. GH = 栅极高, 高侧MOSFET的内部栅极引脚。

典型性能特征

(测试条件: $V_{IN} = 12\text{ V}$ 、 $V_{CC} = PV_{CC} = 5\text{ V}$ 、 $V_{OUT} = 1.8\text{ V}$ 、 $L_{OUT} = 250\text{ nH}$ 、 $T_A = 25^\circ\text{C}$ 且为自然对流冷却, 除非另有说明。)

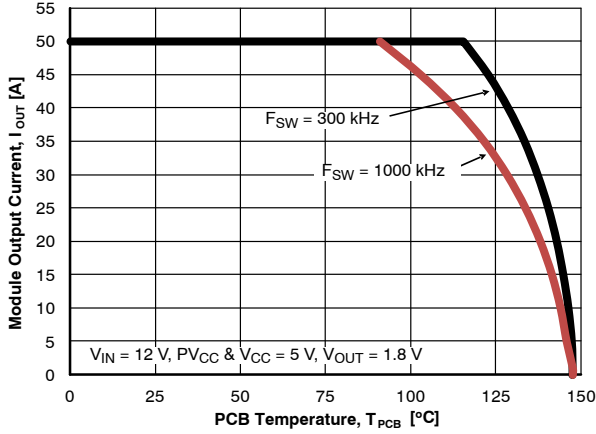


图 4. 12 VIN时的安全工作区

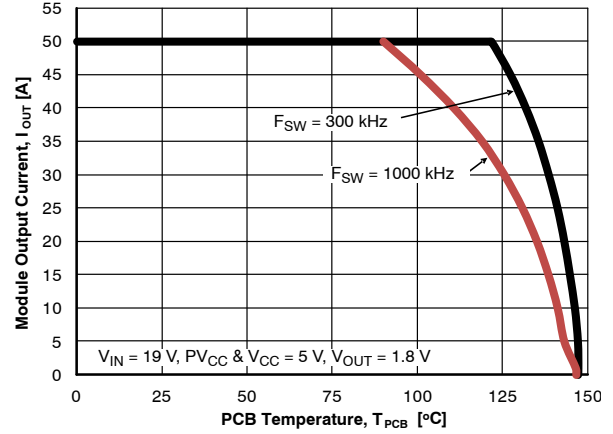


图 5. 19 VIN时的安全工作区

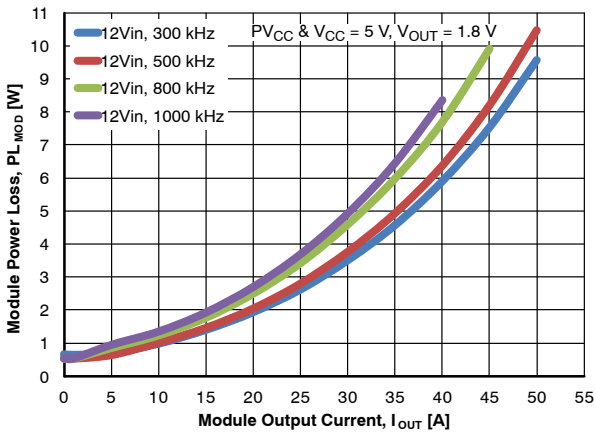


图 6. 12 VIN时的功耗与输出电流之间的关系

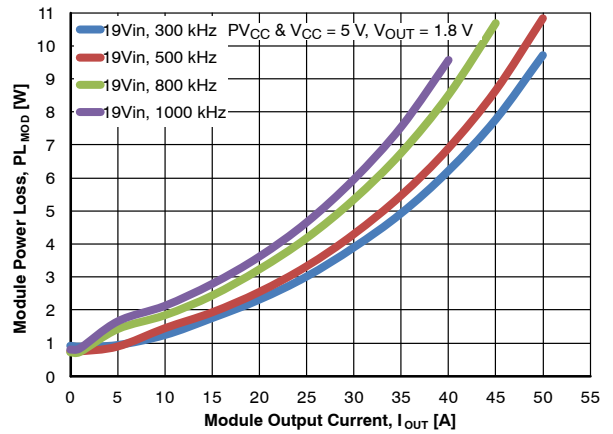


图 7. 19 VIN时的功耗与输出电流之间的关系

典型性能特征

(测试条件: $V_{IN} = 12\text{ V}$, $V_{CC} = PV_{CC} = 5\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $L_{OUT} = 250\text{ nH}$, $T_A = 25^\circ\text{C}$ 且为自然对流冷却, 除非另有说明。)

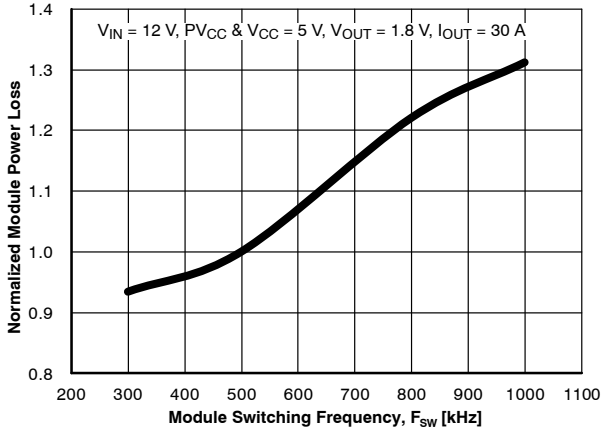


图 8. 功耗与开关频率之间的关系

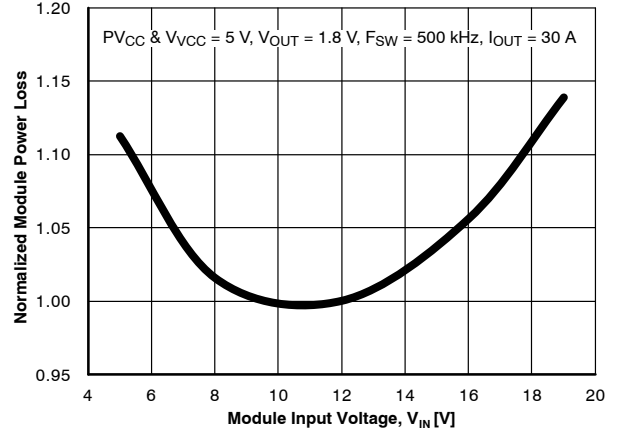


图 9. 功耗与输入电压之间的关系

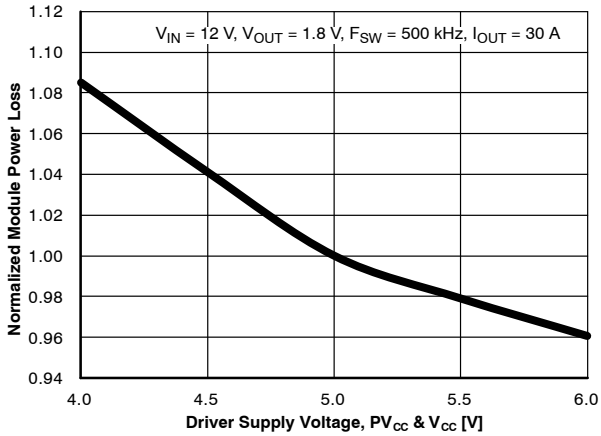


图 10. 功耗与驱动器电源电压之间的关系

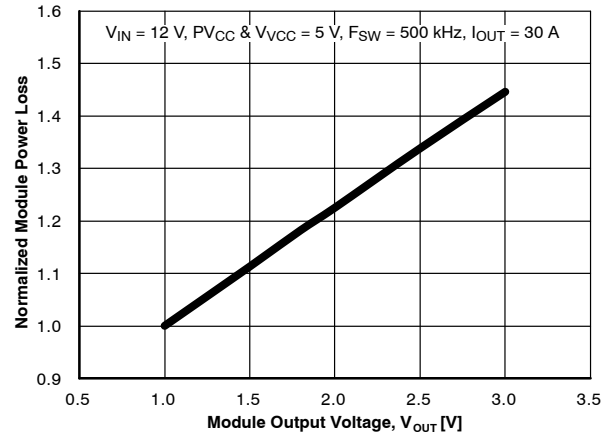


图 11. 功耗与输出电压之间的关系

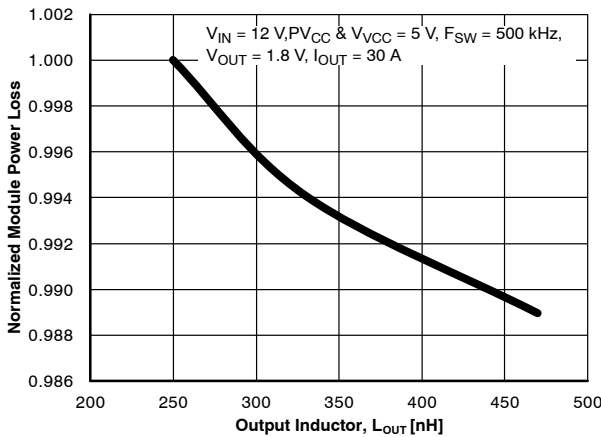


图 12. 功耗与输出电感之间的关系

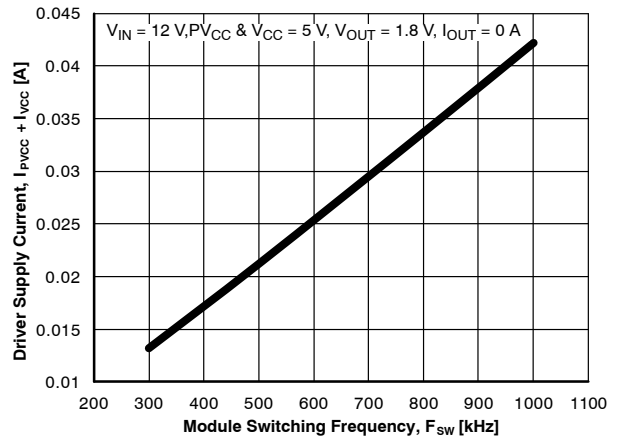


图 13. 驱动器电源电流与开关频率之间的关系

典型性能特征

(测试条件: $V_{IN} = 12\text{ V}$, $V_{CC} = PV_{CC} = 5\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $L_{OUT} = 250\text{ nH}$, $T_A = 25^\circ\text{C}$ 且为自然对流冷却, 除非另有说明。)

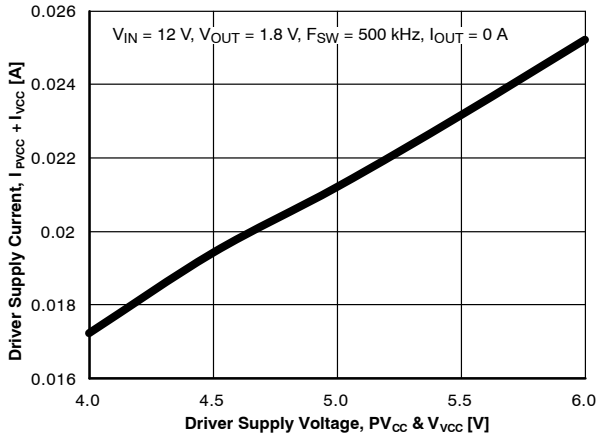


图 14. 驱动器电源电流与驱动器电源电压之间的关系

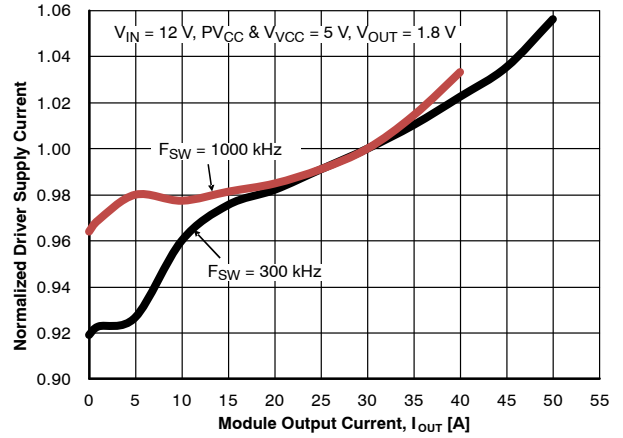


图 15. 驱动器电源电流与输出电流之间的关系

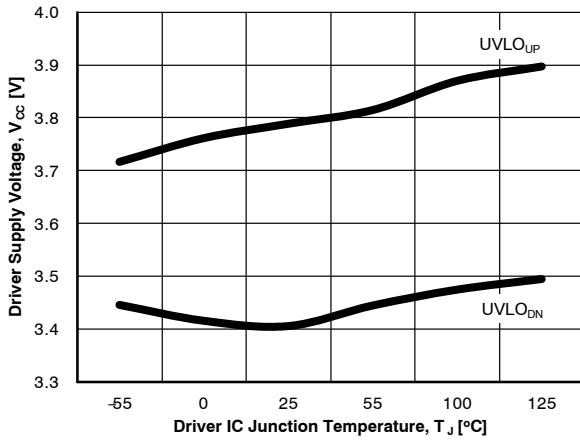


图 16. UVLO阈值与温度的关系

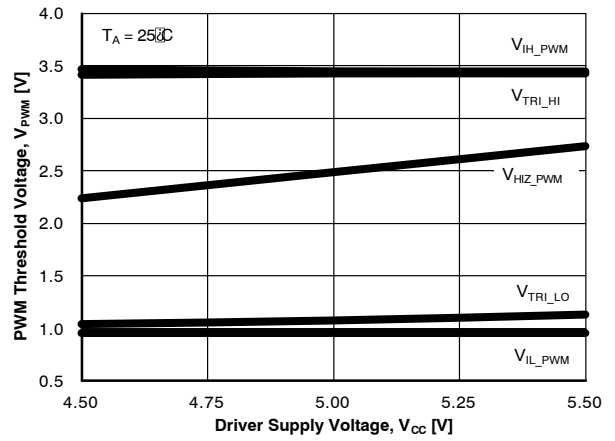


图 17. PWM阈值与驱动器电源电压的关系

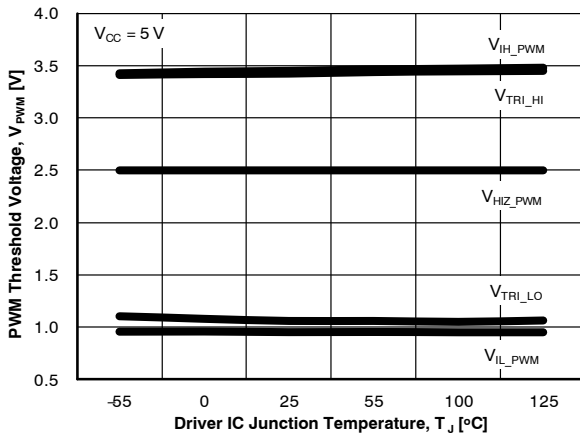


图 18. PWM阈值与温度的关系

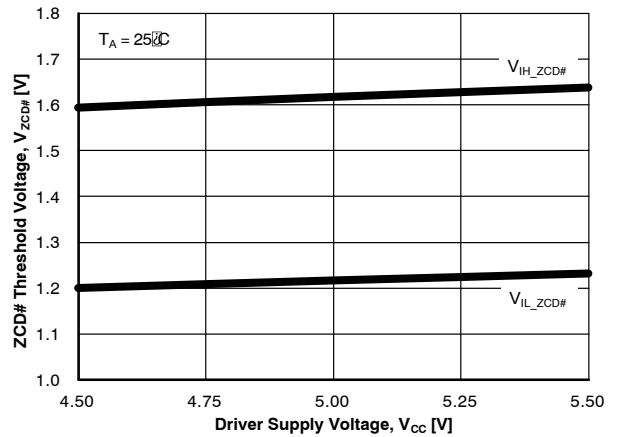


图 19. ZCD#阈值与驱动器电源电压的关系

典型性能特征

(测试条件: $V_{IN} = 12\text{ V}$, $V_{CC} = PV_{CC} = 5\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $L_{OUT} = 250\text{ nH}$, $T_A = 25^\circ\text{C}$ 且为自然对流冷却, 除非另有说明。)

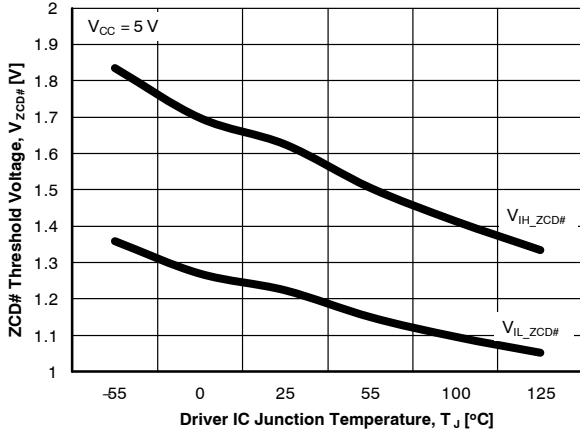


图 20. ZCD#阈值与温度的关系

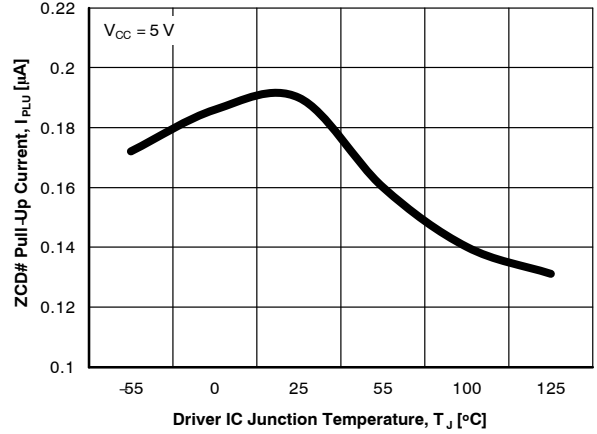


图 21. ZCD#上拉电流与温度的关系

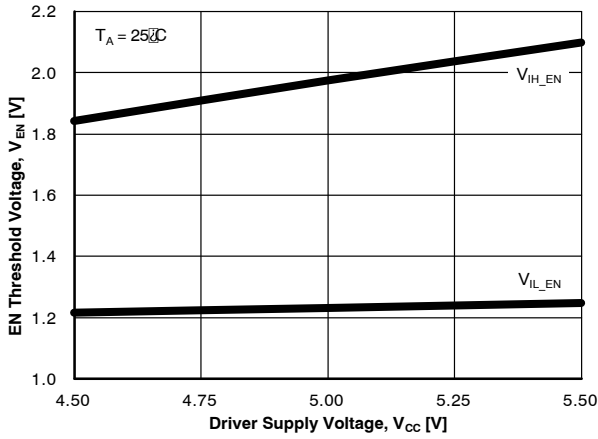


图 22. EN阈值与驱动器电源电压的关系

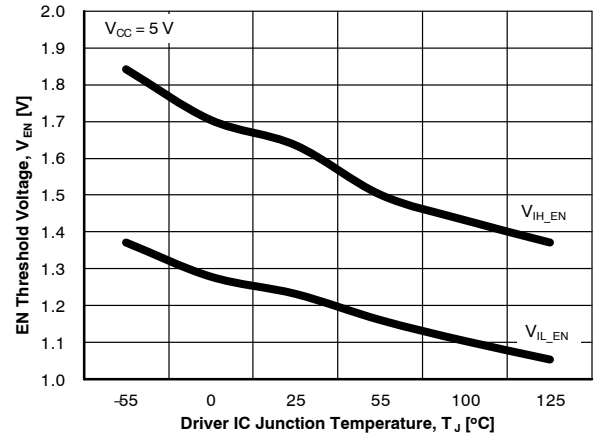


图 23. EN阈值与温度的关系

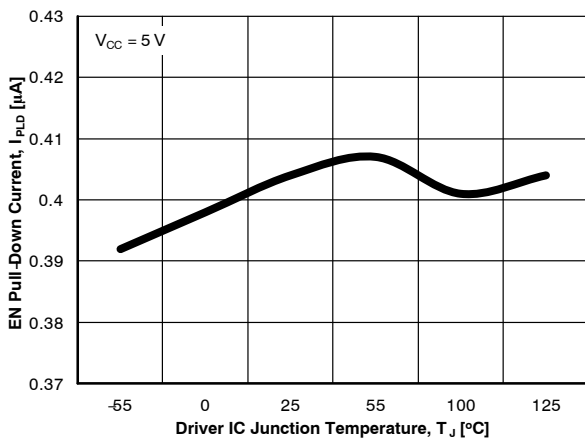


图 24. EN下拉电流与温度的关系

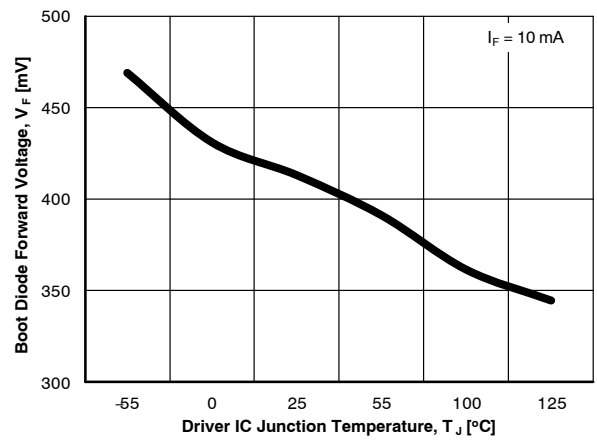


图 25. 自举二极管正向电压与温度的关系

典型性能特征

(测试条件: $V_{IN} = 12\text{ V}$, $V_{CC} = PV_{CC} = 5\text{ V}$, $V_{OUT} = 1.8\text{ V}$, $L_{OUT} = 250\text{ nH}$, $T_A = 25^\circ\text{C}$ 且为自然对流冷却, 除非另有说明。)

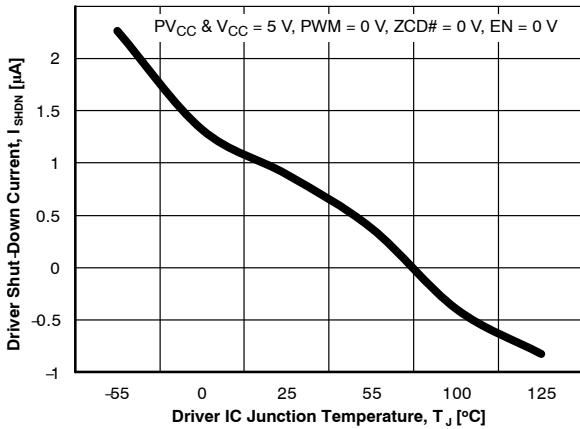


图 26. 驱动器关断电流与 温度的关系

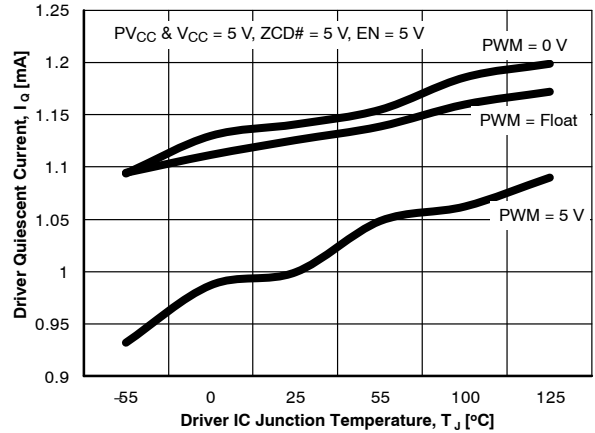


图 27. 驱动器静态电流与温度的关系

功能说明

SPS FDMF5833是一个驱动器加MOSFET模块, 已针对同步降压转换器拓扑进行优化。需要一个PWM输入信号来正确驱动高侧和低侧MOSFET。该器件能够驱动高达1.5 MHz的频率。

上电复位(POR)

PWM输入级应该包含POR特性, 从而确保LDRV和HDRV在 $UVLO > \sim 3.8\text{ V}$ (上升阈值)之前被强制为非活动状态($LDRV = HDRV = 0$)。待所有栅极驱动模块完全上电并且已完成启动时序, 内部驱动器IC EN_PWM信号就被释放为高电平, 允许驱动器输出。一旦驱动器上电复位完成(<最大20 μs), 驱动器继承PWM信号的状态(假定启动期间, 控制器处于高电阻状态或强制PWM信号位于驱动器三态窗口以内)。

正常启动/上电必须支持下面三个条件。

- V_{CC} 上升至5 V, 然后EN变为高电平;
- EN引脚绑定至 V_{CC} 引脚;
- 在5 V V_{CC} 达到UVLO上升阈值之前, EN被指令控制为高电平。

POR方法旨在提高 V_{CC} , 使 $UVLO >$ 上升阈值, 且 $EN = \text{HIGH}$ 。

欠压锁定(UVLO)

UVLO只在 V_{CC} 上进行, 而不在 PV_{CC} 或 V_{IN} 上进行。当EN设置为高电平且 V_{CC} 上升超过UVLO阈值电平(3.8 V), 该器件在最大20 μs POR延迟后开始开关运行。该延迟的目的是确保内部电路偏置、稳定, 并且已准备就绪可以运行。提供两个 V_{CC} 引脚: PV_{CC} 和 V_{CC} 。栅极驱动器电路由 PV_{CC} 电轨供电。用户通过一个低通R-C滤波器将 PV_{CC} 连接至 V_{CC} 。这提供一个滤波后的5 V偏压到IC的模拟电路。

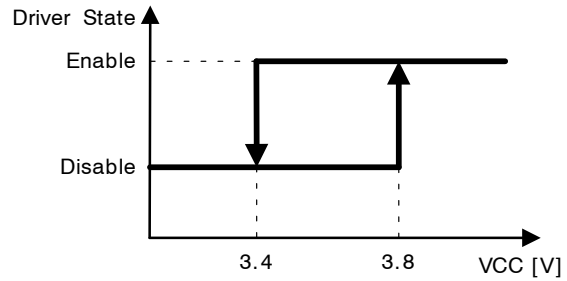


图 28. V_{CC} 上的欠压锁定

EN / FAULT# (启用/故障标识)

通过将EN/FAULT#引脚拉至低电平($EN < V_{IL_EN}$)可禁用驱动器, 这时不管PWM输入状态如何都会保持GL和GH低电平。通过将EN/FAULT#引脚升至高电平($EN > V_{IH_EN}$)可启用驱动器。禁用时, 驱动器IC具有小于3 μA 的关断电流。重新启用驱动器后, 需要最长20 μs 的启动时间。

EN/FAULT#引脚为故障标识的开漏输出, 带有一个250 k Ω 的内部下拉电阻。需要PWM控制器发出的逻辑高信号或从EN/FAULT#引脚到 V_{CC} 的~10 k Ω 外部上拉电阻来启动驱动器运行。

表 1. UVLO和启用逻辑

UVLO	EN	驱动器状态
0	X	禁用 (GH & GL = 0)
1	0	禁用 (GH & GL = 0)
1	1	启用 (参见表 2)
1	打开	禁用 (GH & GL = 0)

EN/FAULT#引脚有两个功能：启用/禁用驱动器和故障标识。故障标识信号为低电平有效。当驱动器在运行期间检测到故障状况，它会导通EN/FAULT#引脚上的开漏并且引脚电压被拉至低电平。故障状况如下：

- 低侧MOSFET导通期间，高侧MOSFET错误导通或者VIN~SW短路：
- 因驱动器T_J为150°C出现热关断

当驱动器检测到一个故障状况并自行禁用，需要VCC上的POR事件来重新启动驱动器运行。

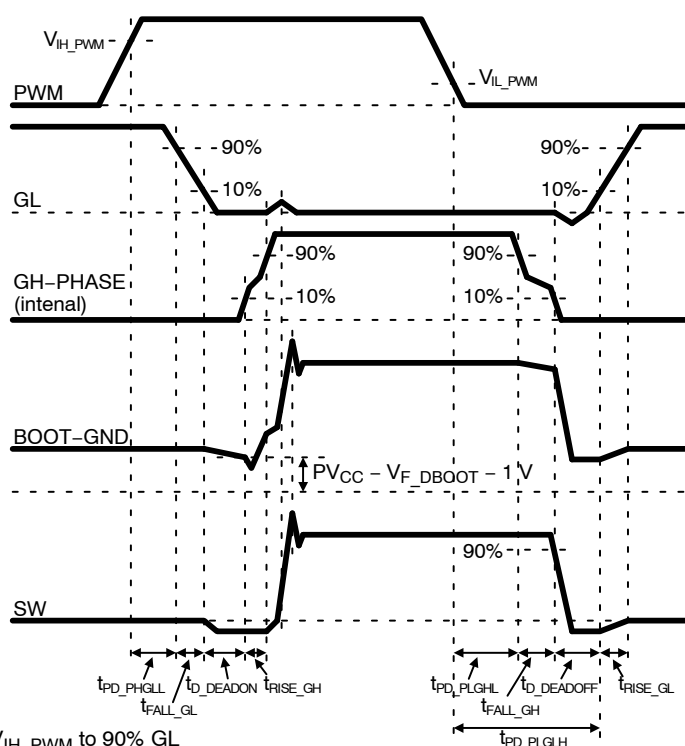
三态PWM输入

FDMF5833整合了三态5 V PWM输入栅极驱动设计。三态栅极驱动同时具有逻辑高和低电平，以及三态关断窗口。当PWM输入信号进入并且保持在三态窗口内的时间为已定义的保持时间(t_{D_HOLD-OFF})时，GL

和GH都被拉至低电平。该特性允许栅极驱动同时关断高侧和低侧MOSFET，从而支持诸如扩相等功能，扩相是多相稳压器上的一个常见功能。

表 2. EN/PWM/三态/ZCD#逻辑状态

EN	PWM	ZCD#	GH	GL
0	X	X	0	0
1	3态	X	0	0
1	0	0	0	1 (IL > 0), 0 (IL < 0)
1	1	0	1	0
1	0	1	0	1
1	1	1	1	0



t_{PD_PHGLL} = PWM HI to GL LO, V_{IH_PWM} to 90% GL

t_{FALL_GL} = 90% GL to 10% GL

t_{D_DEADON} = LS Off to HS On Dead Time, 10% GL to V_{BOOT-GND} ≤ PV_{CC} - V_{F_DBOOT} - 1V or BOOT-GND dip start point

t_{RISE_GH} = 10% GH to 90% GH, V_{BOOT-GND} ≤ PV_{CC} - V_{F_DBOOT} - 1V or BOOT-GND dip start point to GL bounce start point

t_{PD_PLGHL} = PWM LO to GH LO, V_{IL_PWM} to 90% GH or BOOT-GND decrease start point, t_{PD_PLGLH} - t_{D_DEADOFF} - t_{FALL_GH}

t_{FALL_GH} = 90% GH to 10% GH, BOOT-GND decrease start point to 90% V_{SW} or GL dip start point

t_{D_DEADOFF} = HS Off to LS On Dead Time, 90% V_{SW} or GL dip start point to 10% GL

t_{RISE_GL} = 10% GL to 90% GL

t_{PD_PLGLH} = PWM LO to GL HI, V_{IL_PWM} to 10% GL

图 29. PWM时序图

FDMF5833

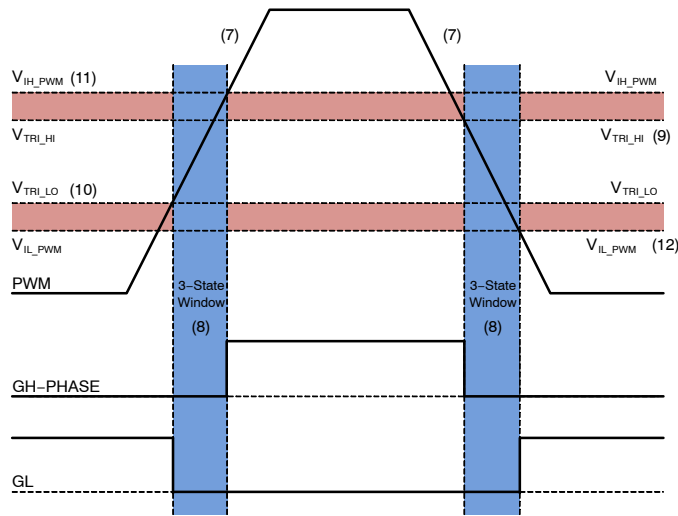


图 30. PWM阈值定义

注意：

7. The timing diagram in Figure 30 assumes very slow ramp on PWM.
8. Slow ramp of PWM implies the PWM signal remains within the 3-state window for a time $\gg \gg t_{D_HOLD-OFF}$.
9. V_{TRI_HI} = PWM trip level to enter 3-state on PWM falling edge.
10. V_{TRI_LO} = PWM trip level to enter 3-state on PWM rising edge.
11. V_{IH_PWM} = PWM trip level to exit 3-state on PWM rising edge and enter the PWM HIGH logic state.
12. V_{IL_PWM} = PWM trip level to exit 3-state on PWM falling edge and enter the PWM LOW logic state.

上电顺序

SPS FDMF5833需要四个(4)输入信号，进行正常的开关运行： V_{IN} 、 V_{CC}/PV_{CC} 、PWM和EN。PWM不应 V_{CC} 之前应用和PWM的幅度不应该超过 V_{CC} 。支持其它的上电顺序。下面的上电顺序实例可作为参考应用设计：

- 从没有输入信号开始
 - ◆ V_{IN} 导通：典型12 V_{DC}
 - ◆ V_{CC}/PV_{CC} 导通：典型5 V_{DC}
 - ◆ EN高电平：典型5 V_{DC}
 - ◆ PWM信号：5 V高电平/0 V低电平

V_{IN} 引脚绑定至系统主要直流电源电轨。

PV_{CC} 和 V_{CC} 引脚绑定在一起，向栅极驱动和逻辑电路提供来自系统 V_{CC} 电轨的电源。或者， PV_{CC} 引脚可以直接绑定至系统 V_{CC} 电轨，并且 V_{CC} 引脚通过位于 PV_{CC} 引脚和 V_{CC} 引脚之间的滤波电阻由 PV_{CC} 引脚供电。滤波电阻能够减少从 PV_{CC} 到 V_{CC} 的开关噪声影响。

EN引脚可以通过一个外部上拉电阻绑定至 V_{CC} 电轨，并且一旦 V_{CC} 电轨导通，该引脚则保持高电平。或者，EN引脚可以直接连接至PWM控制器，用于其它用途。

高侧驱动器

高侧驱动器(HDRV)设计用来驱动一个浮置N沟道MOSFET (Q1)。高侧驱动器的偏置电压由自举电源电路形成，该电路包含内部肖特基二极管和外部自举电容器(C_{BOOT})。启动期间，SW节点保持在PGND，允

许 C_{BOOT} 通过内部自举二极管向 PV_{CC} 充电。当PWM输入变为高电平时，HDRV开始向高侧MOSFET的栅极(内部GH引脚)充电。在该过渡过程中，电荷从 C_{BOOT} 中移除，并传输至Q1的栅极。当Q1导通时，SW升至 V_{IN} ，迫使BOOT引脚达到 $V_{IN} + V_{BOOT}$ ，从而为Q1提供充分的 V_{GS} 增强。为了完成开关周期，通过将HDRV拉至SW关断Q1。当SW跌至PGND时， C_{BOOT} 重新充电至 PV_{CC} 。HDRV输出与PWM输入同相。当驱动器被禁用或PWM信号保持在三态窗口的时间超过三态保持时间 $t_{D_HOLD-OFF}$ 时，高侧栅极保持在低电平。

低侧驱动器

低侧驱动器(LDRV)设计用于驱动以地为基准、低 $R_{DS(ON)}$ 、N沟道MOSFET (Q2)的栅源极。LDRV的内部偏置在内部连接于 PV_{CC} 与AGND之间。当启用驱动器时，驱动器输出与PWM输入之间的相移为180°。当禁用驱动器时($EN = 0 V$)，LDRV保持低电平。

连续电流模式2 (CCM2) 运行

SPS FDMF5833低侧驱动器设计的一个主要特性是能够在检测到负电感电流时控制低侧栅极驱动器部分，称为CCM2运行。这是通过ZCD比较器信号实现的。按比例缩减驱动强度的主要原因是在低侧MOSFET硬开关电感电流时限制 V_{DS} 峰值应力。该 V_{DS} 峰值应力是包含大量负载瞬态和快速广泛的输出电压调节的应用中存在的一个问题。

SPS FDMF5833的MOSFET栅极驱动器在三种模式中的一种模式下运行，如下所述。

包含正电感电流的连续电流模式1 (CCM1)

在这种模式下，电感电流总是流向输出电容器，尤其是在重载功率级。高侧MOSFET通过传导电感电流的低侧二极管导通，并且SW大约为低于接地电压的 V_F ，这意味着硬开关导通和关断高侧MOSFET。

非连续电流模式(DCM)

通常在轻载功率级，高侧MOSFET在零电感电流时导通，随电感电流斜坡上升，然后再在每个开关周期回到零电流。当高侧MOSFET在DCM模式运行下导通时，SW节点可能为低于接地电压的 V_F 到高于 V_{IN} 的 V_F 之间的任意电压。这是因为在低侧MOSFET关断后，SW节点电容随电感电流谐振。

不管SW节点电压如何，驱动器IC中的电平转换器应该能够导通高侧MOSFET。在这种情况下，高侧MOSFET关断正电流。

在该模式期间，LDRV1和LDRV2并联运行并且低侧栅极驱动器上拉和下拉电阻以全强度运行。

包含负电感电流的连续电流模式2 (CCM2)

该模式通常用于同步降压转换器中，将能量从输出电容器中取出，然后将能量传输至输入电容器(升压模式)。在这种模式下，当低侧MOSFET关断时，电感电流是负向的(即流向MOSFET)(当高侧MOSFET导通时也可能为负向)。这种情况会导致，当高侧MOSFET用作同步整流器(暂时运行在同步升压模式下)时，低侧MOSFET进行硬开关。

在该模式期间，只有“较弱的”LDRV2用于低侧MOSFET导通和关断。目的是在进行硬开关以减少峰值 V_{DS} 应力时，减缓低侧MOSFET的开关速度。

CCM1/DCM/CCM2模式下的死区时间

驱动器IC设计确保最短MOSFET死区时间，同时去掉潜在的穿通(交叠导通)电流。为了确保最佳的模块能效，必须在CCM1和DCM模式运行期间将二极管导通时间缩短至很小的毫微秒范围。当在与CCM1/DCM不同的模式下运行功率MOSFET时，CCM2模式会改变栅极驱动电阻。必须考虑改变后的死区时间运行。

CCM1/DCM模式下，低侧MOSFET关断到高侧MOSFET导通死区时间

为了防止在低侧MOSFET关断到高侧MOSFET导通开关过渡过程中出现交叠，采用一个自适应电路监控GL引脚电压。当PWM信号变为高电平时，GL在一个传输延迟(t_{PD_PHGLL})后变为低电平。一旦GL引脚放电至低于 $\sim 1-2V$ ，GH在一个自适应延迟 t_{D_DEADON} 后被拉至高电平。

在某些情况下，ZCD#上升沿信号领先PWM上升沿几十毫微秒，这会导致出现GH和GL交叠。当PWM控制器发送领先、滞后的或同步的PWM和ZCD#信号时，可能出现这种情况。为了避免这种现象，添加另外一个固定传输延迟(t_{FD_ON1})，确保在低侧MOSFET关断到高侧MOSFET导通之间总是存在最小延迟。

CCM2模式下，低侧MOSFET关断到高侧MOSFET导通死区时间

如CCM2模式运行章节所述，在检测到CCM2模式时，低侧驱动器强度可以调整。CCM2特性能够减缓低侧MOSFET的充电和放电过程，从而在低侧MOSFET硬开关(负电感电流)期间最大程度地减少峰值开关电压过冲。为了避免交叠导通，低侧栅极的降速还需要调整(增加)低侧MOSFET关断到高侧MOSFET导通之间的死区时间。实现一个相当长的固定死区时间(t_{FD_ON2})，以确保在CCM2模式运行期间不存在交叠导通。

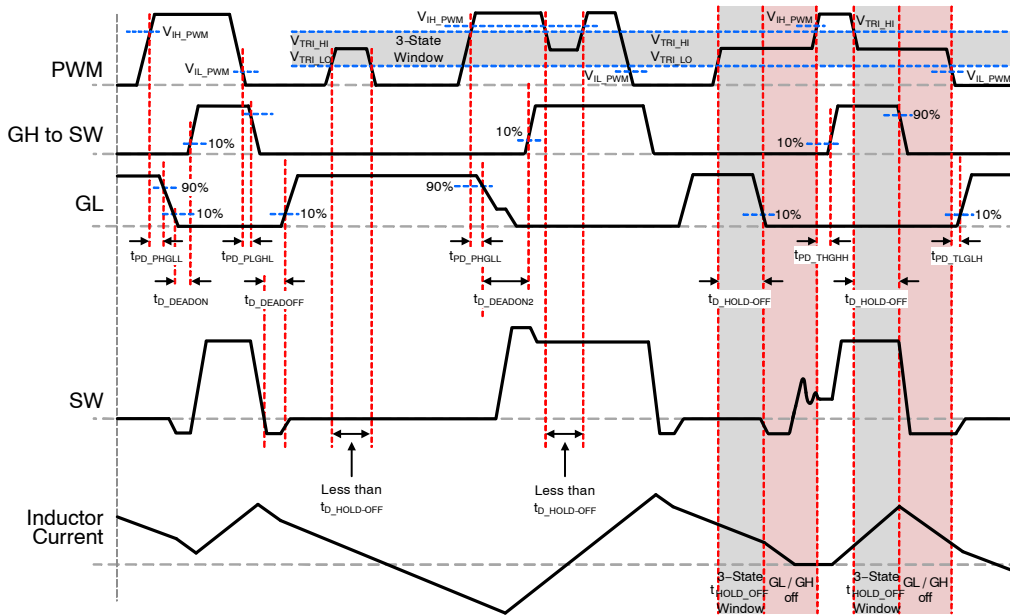
CCM1/DCM模式下，高侧MOSFET关断到低侧MOSFET导通死区时间

为了在高侧MOSFET关断到低侧MOSFET导通过渡过程中获得非常短的死区时间，需要在SPS栅极驱动器中实现一个固定的死区时间方法。固定死区时间电路监控内部HS信号，并且不管SW节点状态如何都会在所需 $t_{D_DEADOFF}$ ($\sim 5\text{ ns}$, $t_{D_DEADOFF} = t_{FD_OFF1}$)后添加一个足够长的固定延迟至GL栅极。

退出三态状况

当退出有效的三态状况时，FDMF5833的栅极驱动器会执行PWM输入指令。如果PWM输入由三态变为低电平，则导通低侧MOSFET。如果PWM输入由三态变为高电平，则导通高侧MOSFET。如下面图31所示。

FDMF5833



NOTES:

t_{PD_XXX} = propagation delay from external signal (PWM, ZCD#, etc.) to IC generated signal. Example : t_{PD_PHGLL} – PWM going HIGH to low-side MOSFET V_{GS} (GL) going LOW

t_{D_XXX} = delay from IC generated signal to IC generated signal. Example: t_{D_DEADON} – low-side MOSFET V_{GS} LOW to high-side MOSFET V_{GS} HIGH

PWM

t_{PD_PHGLL} = PWM rise to LS V_{GS} fall, V_{IH_PWM} to 90% LS V_{GS}

t_{PD_PLGHL} = PWM fall to HS V_{GS} fall, V_{IL_PWM} to 90% HS V_{GS}

t_{PD_PHGHH} = PWM rise to HS V_{GS} rise, V_{IH_PWM} to 10% HS V_{GS} (ZCD# held LOW)

ZCD#

t_{PD_ZLGLL} = ZCD# fall to LS V_{GS} fall, $V_{IL_ZCD\#}$ to 90% LS V_{GS}

t_{PD_ZHGLH} = ZCD# rise to LS V_{GS} rise, $V_{IH_ZCD\#}$ to 10% LS V_{GS}

Exiting 3-State

t_{PD_TSGHH} = PWM 3-State to HIGH to HS V_{GS} rise, V_{IH_PWM} to 10% HS V_{GS}

t_{PD_TSGLH} = PWM 3-State to LOW to LS V_{GS} rise, V_{IL_PWM} to 10% LS V_{GS}

Dead Times

t_{D_DEADON} = LS V_{GS} fall to HS V_{GS} rise, LS-Comp trip value to 10% HS V_{GS}

$t_{D_DEADOFF}$ = SW fall to LS V_{GS} rise, SW-Comp trip value to 10% LS V_{GS}

图 31. PWM高电平/低电平/三态时序图

以较低的BOOT-SW电压退出三态

SPS模块用于多相VR拓扑中，需要该模块在三态状况中等待一个不确定的时间。较长的空闲时间会致使自举电容器逐渐放电，直至根据 PV_{CC} 和 V_{OUT} 最终出现钳位。较低的BOOT-SW电压可能导致电平转换电路以及所有HDRV浮置电路的传输延迟增加，是从BOOT-SW电轨偏置。逐渐耗尽的BOOT-SW电容器电压还可能导致另一个问题，即在导通期间施加到HS MOSFET栅极的电压。较低的BOOT-SW电压会导致非常弱的HS栅极驱动，因此，会增大HS $R_{DS(ON)}$ 并增加不可靠运行的风险，这是因为如果BOOT-SW跌得太低，HS MOSFET可能不会导通。

为了解决这个问题，当模块在三态状况时，SPS监控较低的BOOT-SW电压。当模块以较低的BOOT-SW电压退出三态状况时，不管PWM输入如何都会输出一个100 ns的最短GL导通时间。这样就能确保自举电容器会被充分充电至一个安全的工作电平并且最小化对系统瞬态响应的影响。下面列举退出三态状况的场景。

- 如果该器件以较低的BOOT-SW电压退出三态状况并且控制器发出PWM = HIGH的指令，SPS会输出一个100 ns的GL脉冲并且执行PWM = HIGH指令(参见图32)。
- 如果该器件以较低的BOOT-SW电压退出三态状况并且控制器发出PWM = LOW指令的时间为100 ns或更长，SPS执行PWM输入的指令。如果PWM = LOW的时间少于100 ns，GL保持导通100 ns，然后执行PWM输入的指令(参见图33和图34)。
- 如果未检测到低BOOT-SW电压状况，在退出三态时，SPS执行PWM指令(参见图35)。

在退出三态状况或在初始上电时，SPS短暂停留在自适应死区时间模式中。自适应死区时间模式持续时间不超过两个(2)连续的开关周期，从而为自举电容器提供足够的时间充电至一个安全的电平。模块会切换回固定的死区时间控制，从而实现最大的能效。

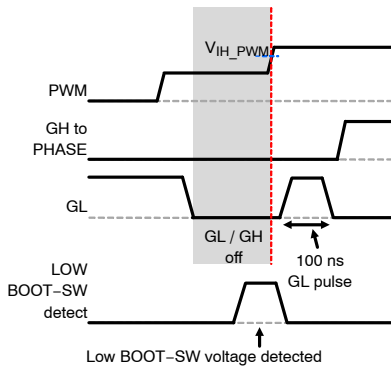


图 32. 检测到较低的BOOT-SW电压并且PWM从三态变为高电平

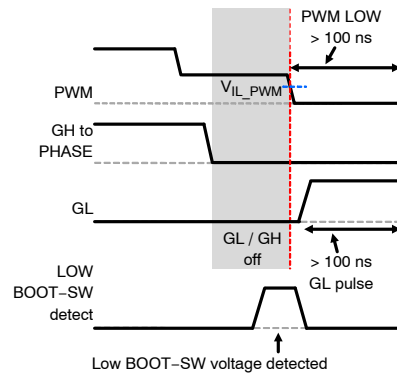


图 33. 检测到较低的BOOT-SW电压并且PWM从三态变为低电平的时间超过100 ns

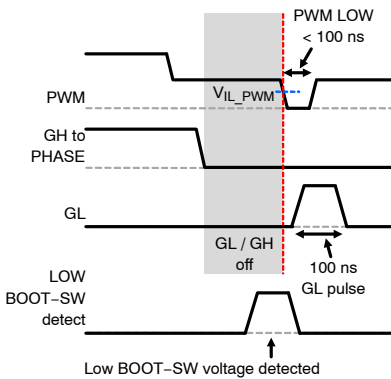


图 34. 检测到较低的BOOT-SW电压并且PWM从三态变为低电平的时间少于100 ns

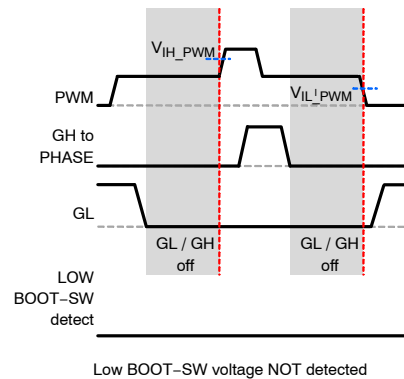


图 35. 未检测到较低的BOOT-SW电压并且PWM从三态变为高电平或低电平

过零检测(ZCD)运行

ZCD控制模块包含用于确定电感电流何时反向并且控制何时关断低侧MOSFET的电路。低偏移比较器在LS MOSFET导通期间监控低侧MOSFET的SW至PGND电压。当感测电压的极性从负改为正时，比较器会改变状态并且已检测到反向电流。该比较器偏移必须在最差为0.5 mV的范围内检测负 V_{SW} 。负偏移旨

在确保电感电流从不反向；一些小的体二极管导通更倾向于具有负电流。

比较器在低侧栅极驱动上升沿过后导通，由低侧栅极驱动器的输入信号关断。这样一来，零电流比较器连接到一个先断后合连接，允许用所有低电压晶体管设计该比较器。

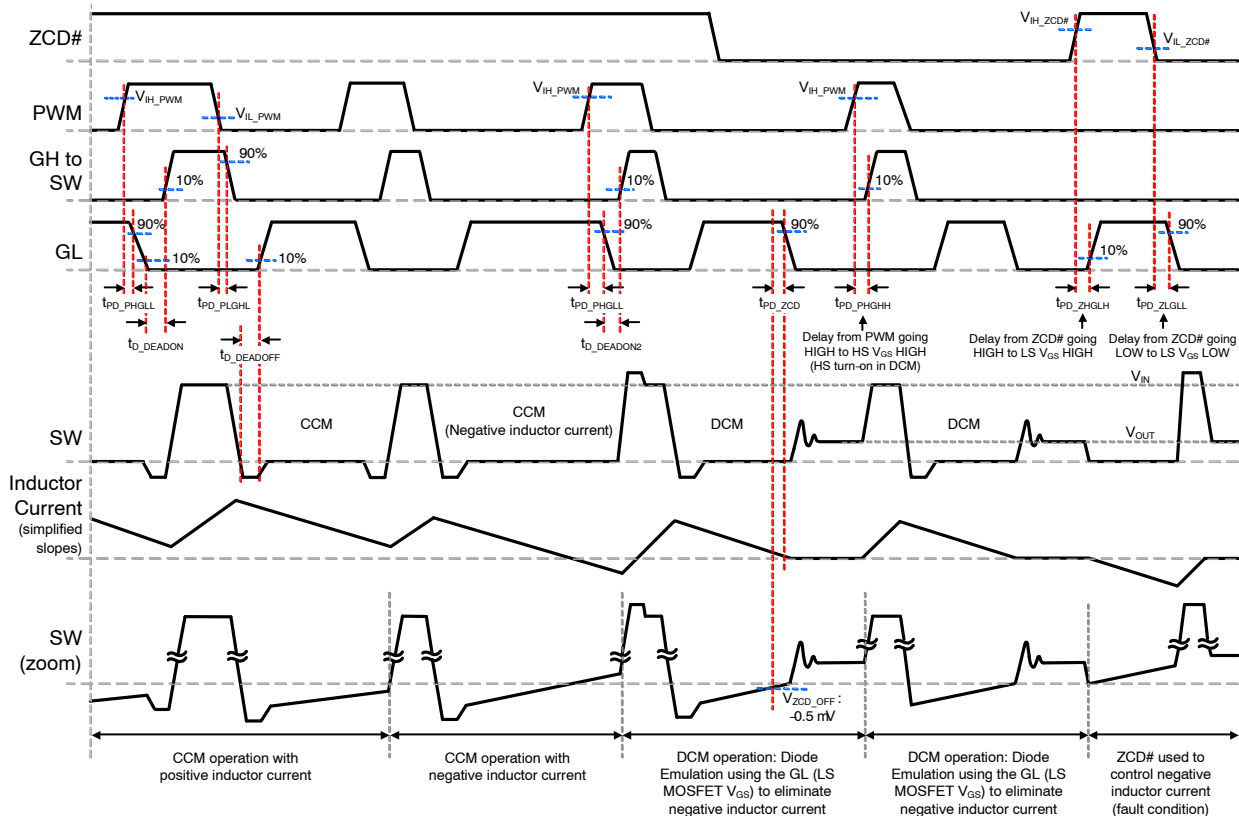


图 36. ZCD# & PWM时序图

热警告标识(THWN#)

FDMF5833提供一个针对过温状况的热警告(THWN)功能。如果驱动器IC检测到125°C激活温度，THWN标识会将THWN#引脚拉至低电平(至AGND)。一旦温度降至110°C重置温度，THWN#引脚输出返回至高电阻状态。图37显示THWN#运行状况。THWN不会禁用SPS模块并且独立于其它功能工作。

THWN模式运行需要一个到 V_{CC} 电轨的上拉电阻。THWN#标识低电平有效。

热关断(THDN)

一旦驱动器 T_J 达到150°C，就会触发已编程热关断。关断事件为闩锁关断，其中THDN信号对故障闩锁进行计时并且在物理上拉低EN引脚。

若要重新启用驱动器IC，需要重新循环5 V V_{CC} (POR事件)。

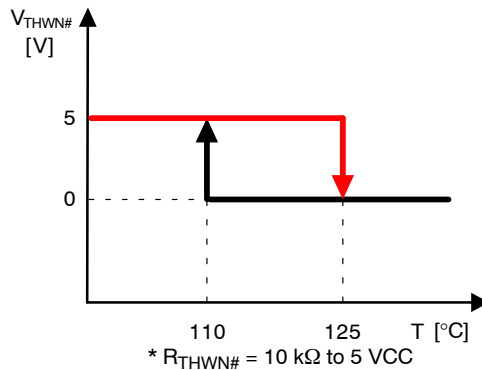


图 37. 栅极驱动器 T_J 与 $V_{THWN\#}$ 的关系

150°C THDN特性与125°C THWN#标识相结合。如果驱动器温度达到125°C，THWN#引脚被拉至低电平。如果驱动器继续运行并且其温度上升至150°C，会激活热关断。SPS模块由EN低电平关断并且THWN#标识被终止，因此V_{THWN#}回到高电平。图38显示THWN#、EN，和驱动器温度之间的关系。

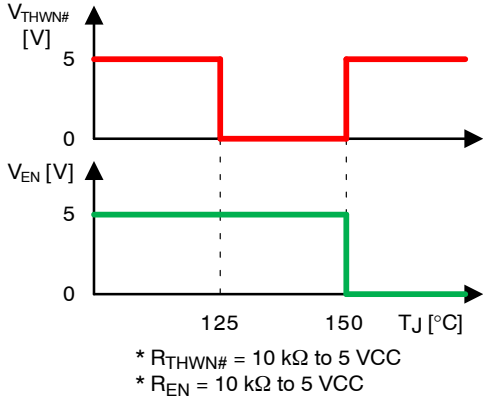


图 38. V_{THWN#}、V_{EN}与驱动器温度之间的关系

灾难性故障

SPS FDMF5833包含一个灾难性故障特性。如果检测到HS MOSFET短路，驱动器会在内部拉低EN/FAULT#引脚并关断SPS驱动器。目的是实现一个基本电路，通过监控LDRV和SW节点状态测试HS MOSFET短路。

如果检测到HS短路故障，SPS模块会对故障门锁进行计时，关断模块。若要重启该模块，需要一个V_{CC} POR事件。

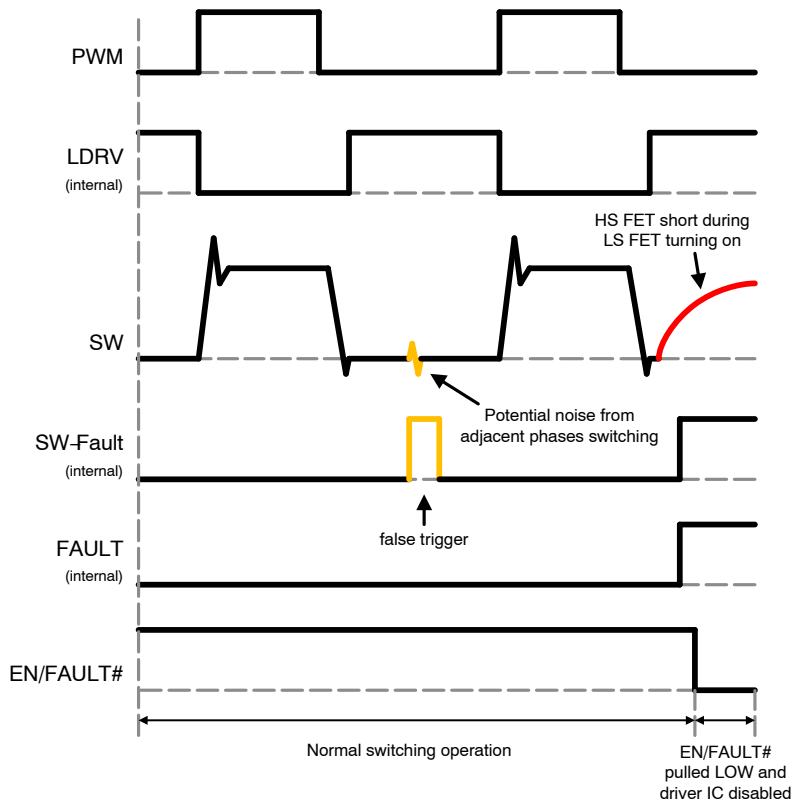


图 39. 灾难性故障波形

应用信息

PVCC和VCC去耦合电容器

对于电源输入(PVCC和VCC引脚), 需要局部去耦合电容器在开关运行过程中提供峰值驱动电流, 减少噪声。将至少0.68~1 μF /0402~0603/X5R~X7R多层陶瓷电容器用于两个电源电轨。使这些电容器靠近PVCC和VCC引脚以及PGND和AGND覆铜面。如果要将这些电容器放置在电路板底面, 在去耦合电容器的每个焊盘上设置通孔, 使底部的电容器焊盘连接至顶部的PVCC和VCC引脚。

PVCC和VCC电源电压范围是4.5 V~5.5 V, 常规应用的典型电压为5 V。

VCC上的R-C滤波器

PVCC引脚提供高侧和低侧功率MOSFET的栅极驱动电源。多数情况下, PVCC可以直连至VCC, 该引脚为驱动器的模拟和逻辑模块提供电源。为了避免开关噪声从PVCC注入VCC, 可在PVCC和VCC去耦合电容器之间插入一个滤波电阻。

推荐滤波电阻取值范围是0~10 Ω , 多数应用的典型值为0 Ω 。

自举电路

自举电路采用一个电荷存储电容器(C_{BOOT})。一个0.1~0.22 μF /0402~0603/X5R~X7R的自举电容器通常适用于多数开关应用。特定应用可能需要一个串联自举电阻, 从而降低高侧MOSFET的开关速度。当SPS的开关电压超过15 V VIN时或者能够有效控制VSW过冲时, 需要自举电阻。通常推荐采用零至6 Ω 的 R_{BOOT} 值, 以减少SW节点上的过多电压尖峰和振铃。由于高侧MOSFET较高的开关损耗, 较高的 R_{BOOT} 值可能导致能效降低。

不要在BOOT引脚和GND之间添加电容器或电阻器。

EN/FAULT# (输入/输出)

通过将EN引脚拉至高电平启用SPS中的驱动器。EN引脚有250 k Ω 的内部下拉电阻, 因此需要通过一个外部电阻器上拉至VCC, 或连接至控制器或系统, 以执行它们发出的指令。如果EN引脚浮置, 该引脚就不能导通驱动器。

当驱动器温度达到THDN温度或者出现高侧MOSFET故障时, EN/FAULT#引脚发出故障标识低电平信号。然后, 驱动器关断。

EN~VCC上的典型上拉电阻值是10 k Ω 。不要在EN引脚上添加噪声滤波电容器。

PWM (输入)

PWM引脚识别PWM控制器发出的三个不同逻辑电平: 高电平、低电平、三态。当PWM引脚接收一个高电平指令, 栅极驱动器导通高侧MOSFET。当PWM引脚接收一个低电平指令, 栅极驱动器导通低侧MOSFET。当PWM引脚接收到一个三态窗口

(VTRI Window)内的电压信号并且超过了三态延迟时间, 栅极驱动器同时关断高侧和低侧MOSFET。为了识别控制器发出的高电阻三态信号, PWM引脚包含一个从VCC到PWM, 然后到AGND的电阻分压器。当控制器发出的PWM信号为高电阻时, 电阻分压器在PWM引脚上设置一个三态窗口内的电压电平。

ZCD# (输入)

当ZCD#引脚设置为高电平时, ZCD功能被禁用, 并且高侧和低侧MOSFET在CCM(或FCCM(强制CCM)模式)下根据PWM信号进行开关。当ZCD#引脚为低电平时, 在低侧MOSFET导通期间, 低侧MOSFET在SPS驱动器检测到负电感电流时关断。该ZCD特性允许在轻载条件和PFM/DCM模式运行时提高转换器能效。

ZCD#引脚有一个来自VCC的内部电流源, 因此可能无需使用外部上拉电阻。一旦向VCC供电并且启用驱动器, ZCD#引脚保持逻辑高电平, 无需外部元件, 并且驱动器在CCM或FCCM模式下进行开关运行。ZCD#引脚可接地, 以便由SPS自己在DCM模式下进行自动二极管仿真, 或者可以将其连接到控制器或系统, 以执行它们发出的指令。

ZCD#~VCC上的典型上拉电阻值为10 k Ω , 用于确保稳定的ZCD#高电平。如果不使用ZCD功能, 用一个上拉电阻将ZCD#引脚绑定至VCC。不要在ZCD#引脚上添加任何噪声滤波电容器。

THWN# (输出) / THDN

THWN#引脚为开漏, 因此需要一个至VCC的外部上拉电阻。如果驱动器温度达到125 $^{\circ}\text{C}$, $V_{\text{THWN#}}$ 被拉至低电平。当驱动器 T_{J} 冷却至低于110 $^{\circ}\text{C}$ 时, $V_{\text{THWN#}}$ 重新回到高电平。当驱动器 T_{J} 低于150 $^{\circ}\text{C}$ 时, THWN#标识运行。

在判定125 $^{\circ}\text{C}$ THWN标识后, 如果驱动器 T_{J} 持续升高超过150 $^{\circ}\text{C}$, 会激活热关断功能, 并且SPS模块被关断。该关断是一个闩锁功能, 因此即使温度下降至25 $^{\circ}\text{C}$, 驱动器仍保持关断。一旦激活THDN, SPS模块需要由VCC POR重新启用。

THWN#~VCC典型上拉电阻是10 k Ω 。如果不使用THWN#/THDN功能, 将THWN#绑定至GND。不要在THWN#引脚上添加噪声滤波电容器。

功耗和能效

图40显示功耗和能效测量的示意图。

功耗计算和方程式示例:

$$P_{\text{IN}} = (V_{\text{IN}} * I_{\text{IN}}) + (V_{\text{CC}} * I_{\text{CC}}) \quad [\text{W}]$$

$$P_{\text{SW}} = V_{\text{SW}} * I_{\text{OUT}} \quad [\text{W}]$$

$$P_{\text{OUT}} = V_{\text{OUT}} * I_{\text{OUT}} \quad [\text{W}]$$

$$P_{\text{LOSS_MODULE}} = P_{\text{IN}} - P_{\text{OUT}} \quad [\text{W}]$$

$$P_{\text{LOSS_TOTAL}} = P_{\text{IN}} - P_{\text{OUT}} \quad [\text{W}]$$

$$\text{EFFI}_{\text{MODULE}} = (P_{\text{OUT}} / P_{\text{IN}}) * 100 \quad [\%]$$

$$\text{EFFI}_{\text{TOTAL}} = (P_{\text{OUT}} / P_{\text{IN}}) * 100 \quad [\%]$$

FDMF5833

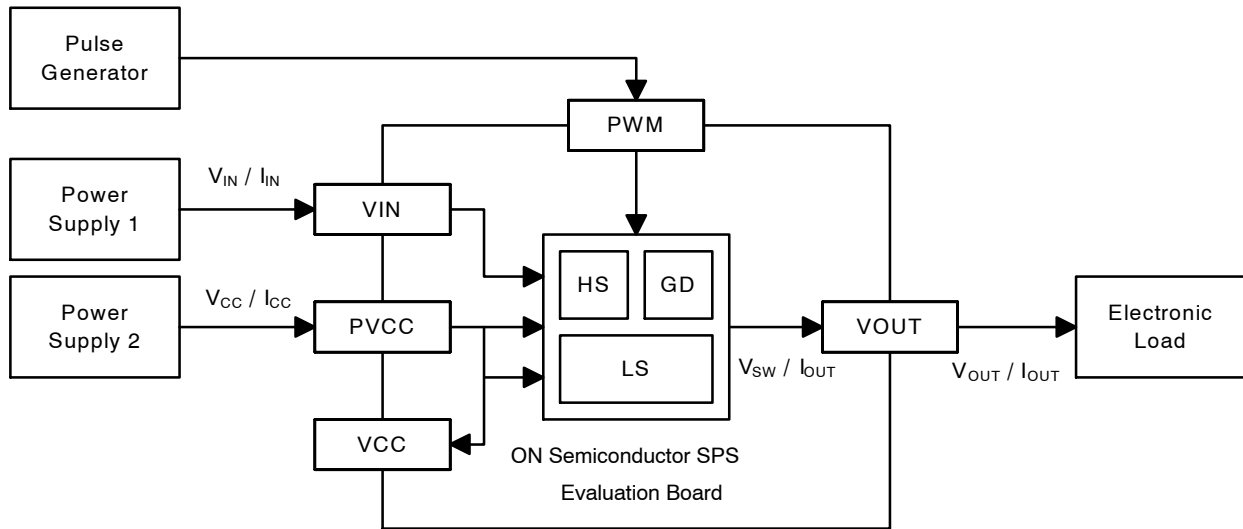


图 40. 功耗和能效测量示意图

PCB布局指南

图41至图44提供了FDMF5833和关键元件的单相和多相布局示例。所有大电流路径如VIN、SW、VOUT和GND覆铜都应该尽量短而宽，以减小寄生电感和电阻。这有助于实现更加稳定、均匀分布的电流，以及增强的热辐射和系统性能。

输入陶瓷旁路电容器必须靠近VIN和PGND引脚。这是为了减少大电流电源回路电感和功率MOSFET开关运行感应的输入电流纹波。

SW铜引线有两个用途。除了作为从SPS封装到输出电感器的高频电流路径，它还用作低侧MOSFET的散热器。引线应该足够短而宽，从而为SPS和电感器之间的高频大电流提供一个低电阻路径。短而宽的引线能够最大程度地减少电力损耗和SPS温升。SW节点是具有高噪声电势的高电压高频率开关节点。必须注意最小化与相邻引线的耦合。由于铜引线用作低侧MOSFET的散热器，使用可能的最大面积进行平衡，从而改善SPS冷却效果，同时保持可以接受的噪声发射。

输出电感器应该靠近FDMF5833放置，以尽量减少由SW铜引线产生的功耗。还应该注意电感器散热不会使SPS变热。

在输出级使用POWERTRENCH MOSFET，能够有效地最小化由于快速开关产生的振铃。多数情况下，无需在SW节点上使用RC缓冲电路。若要使用缓冲电路，该电路应该靠近SW和PGND引脚放置。缓冲电路的电阻器和电容器的大小必须合适，以确保不会因为高功耗产生过多热量。

PVCC、VCC和BOOT电容器的去耦合电容器必须尽量靠近PVCC~PGND、VCC~AGND和BOOT~PHASE引脚对，以确保干净稳定的电源。它们的布线应该短而宽，以最小化PCB寄生电阻和电感。

电路板布局应该包含一个用于BOOT~PHASE小值串联自举电阻的占位符。自举回路的大小，包括串联 R_{BOOT} 和 C_{BOOT} ，应该尽可能得小。

当SPS的工作电压超过 $15\text{ V } V_{IN}$ 并且它能够有效控制高侧MOSFET导通压摆率和SW电压过冲时，可能需要

一个自举电阻器。在同步降压设计中，由于接地反弹或较高的正负 V_{SW} 振铃，可能存在噪声问题， R_{BOOT} 可以改善其噪声运行余量。插入一个自举电阻会降低SPS模块能效。必须考虑能效与开关噪声之间的关系。通常来说， R_{BOOT} 取值范围为 $0.5\ \Omega$ 至 $6.0\ \Omega$ 时能够有效减少 V_{SW} 过冲。

VIN和PGND引脚通过高于100 MHz的频率元件来处理较大的电流瞬态。如果可能，这些引脚应该直连至VIN和电路板GND平面。不推荐采用降温引线与这些引脚串联，因为这会增加额外的寄生电感至电源路径。与VIN或PGND引脚串联增加的电感会增加正向和负向 V_{SW} 振铃，因而会降低系统的抗噪声能力。

PGND焊盘和引脚应该通过多个过孔连接至GND覆铜面，以确保稳定接地。接地不良可能在PGND和AGND之间产生噪声和瞬态偏移电压电平。这可能会导致栅极驱动器和MOSFET故障运行。

BOOT引脚振铃可以通过靠近放置自举电容器得到最有效的控制。不要在BOOT到PGND之间添加任何额外电容器。这可能会导致通过BOOT二极管的电流过大，进而导致较高的功耗。

ZCD#和EN引脚分别具有较弱的上拉和下拉电流源。这些引脚不应有任何噪声滤波电容器。除非绝对必要，不要浮置这些引脚。

在VIN和VOUT覆铜区域设置多个过孔，以相互连接顶层、内层和底层，从而均匀分布电流和热传导。不要在SW覆铜区域设置太多过孔，以避免开关波形中出现额外寄生电感和噪声。只要效率和热性能可以接受，在顶层仅设置一个SW铜节点，不要在SW覆铜上设置过孔，以最小化开关节点寄生噪声。过孔应该相对较大，并且具有相当低的电感。关键高频元件，如 R_{BOOT} 、 C_{BOOT} 、RC缓冲电路和旁路电容器应该尽可能地靠近PCB板顶层对应的SPS模块引脚。如果不可行，可以将它们设置在电路板底面，通过一个低电感过孔网络将它们的引脚从底部连接到顶部。

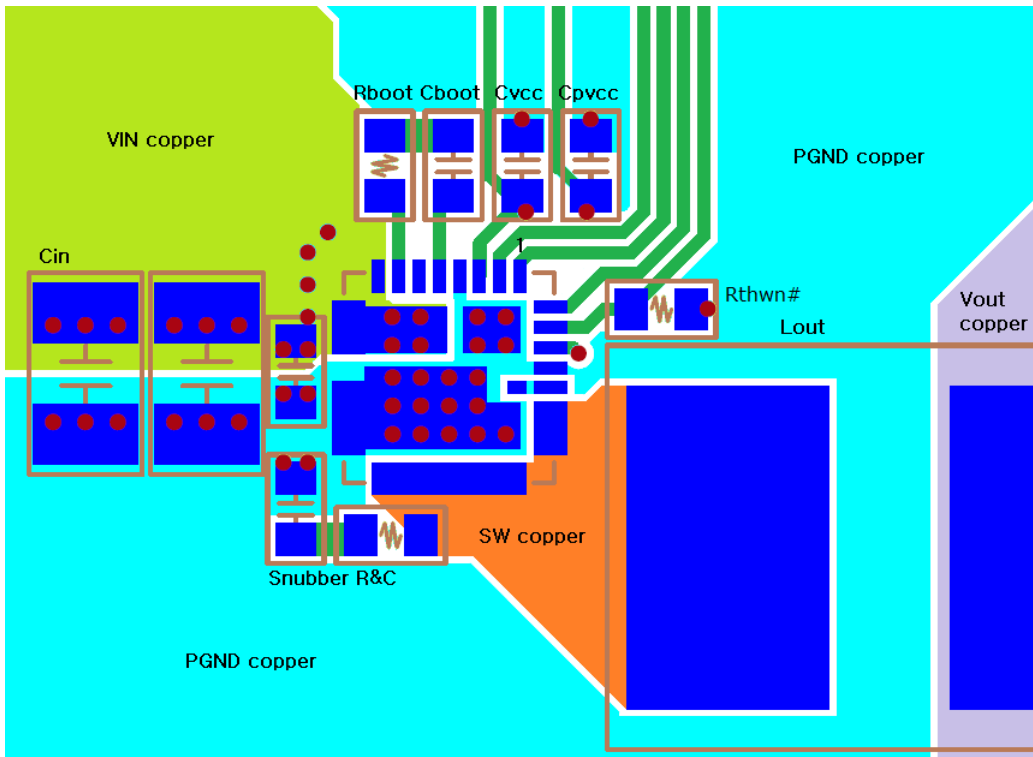


图 41. 单相电路板布局示例 - 俯视图

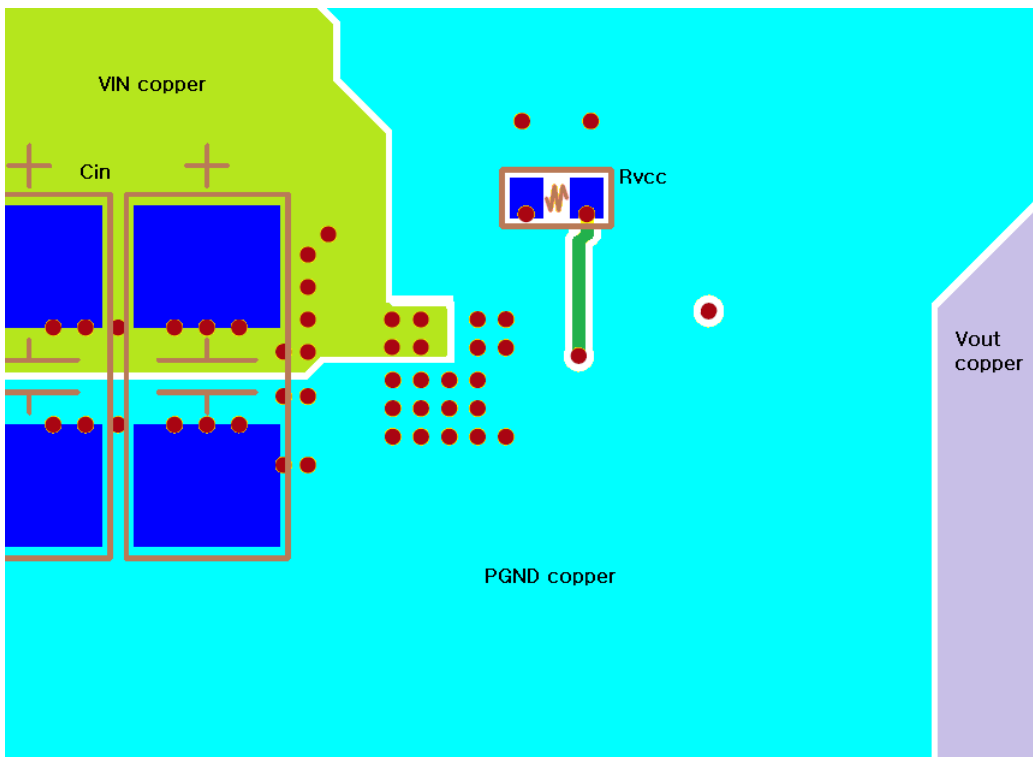


图 42. 单相电路板布局示例 - 仰视图 (镜像)

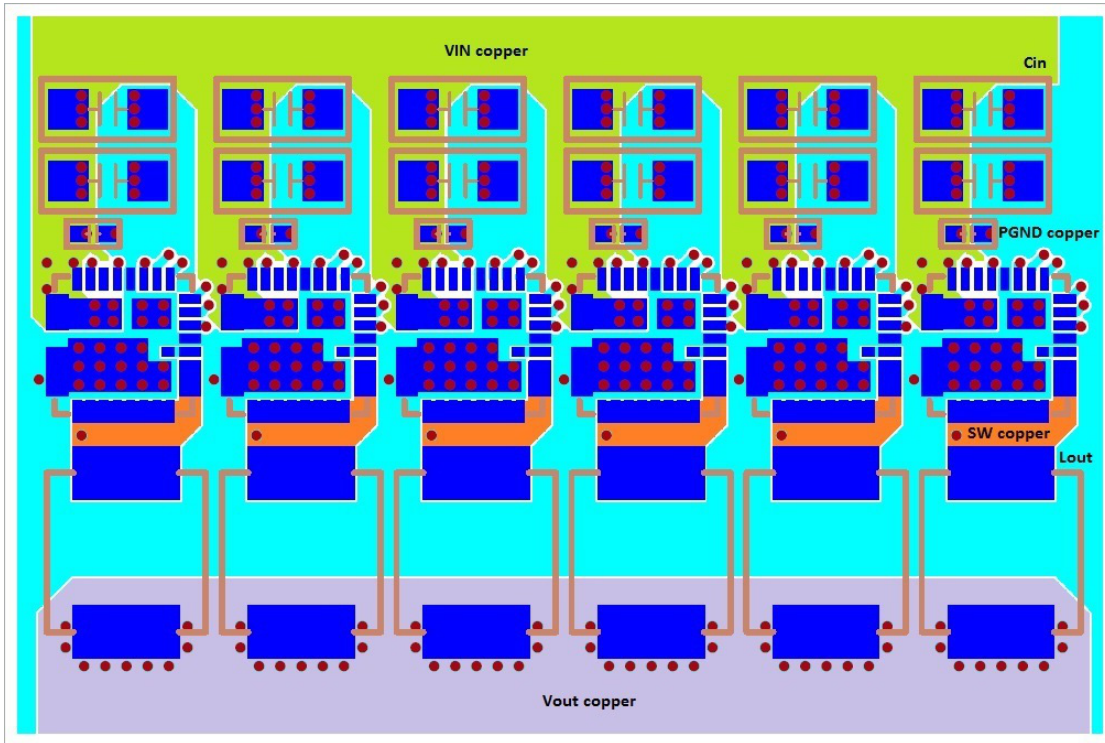


图 43. 包含6 mm x 6 mm电感器的6相电路板布局示例 - 俯视图

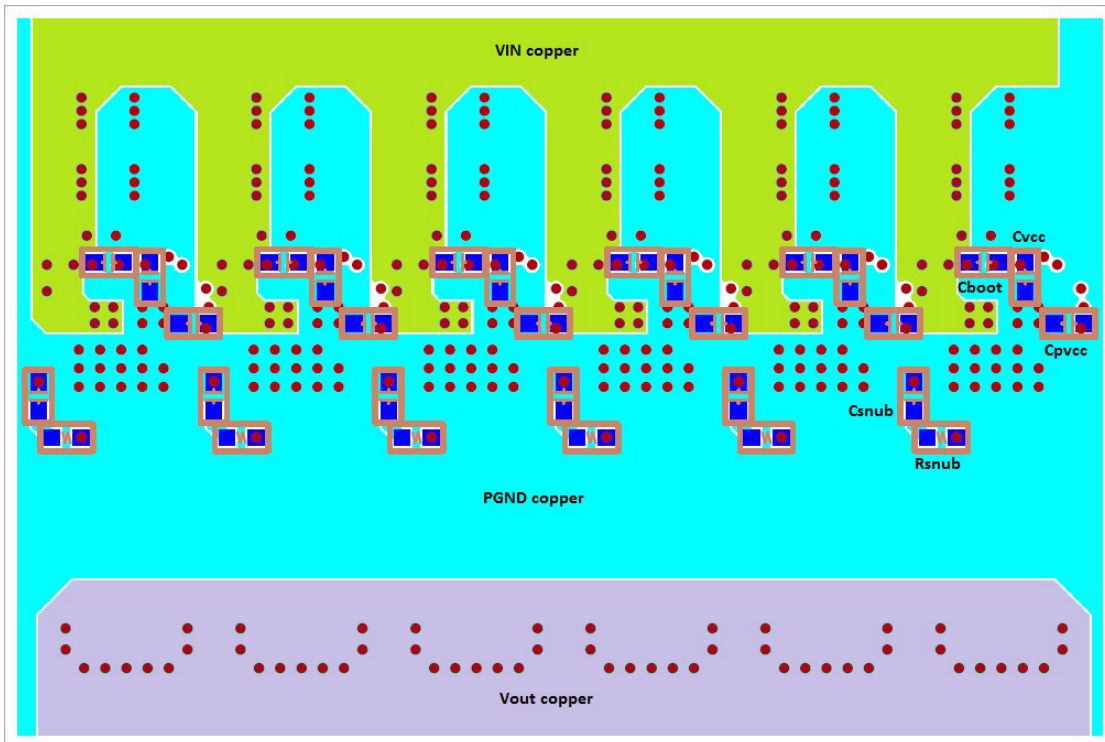


图 44. 包含6 mm x 6 mm电感器的6相电路板布局示例 - 仰视图 (镜像)

FDMF5833

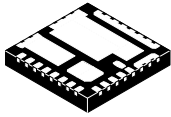
封装标记和订购信息

器件型号	顶部标记	额定电流	封装	付运(量/包装方式) [†]
FDMF5833	5833	50 A	31-Lead, Clip Bond PQFN31 5x5, 0.5P (Pb-Free/Halogen Free)	3000 / Tape & Reel
FDMF5833-F085	5833 F085	50 A	31-Lead, Clip Bond PQFN31 5x5, 0.5P (Pb-Free/Halogen Free)	3000 / Tape & Reel

[†]关于卷带规格，包括器件方向和包带尺寸，请参阅《Tape and Reel Packaging Specifications 小册子》BRD8011/D。

POWERTRENCH is registered trademark and SyncFET is a trademark of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries.

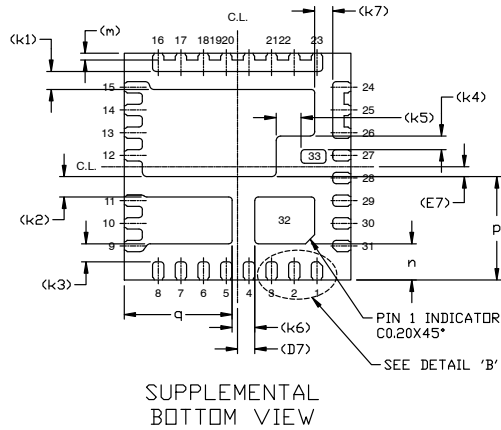
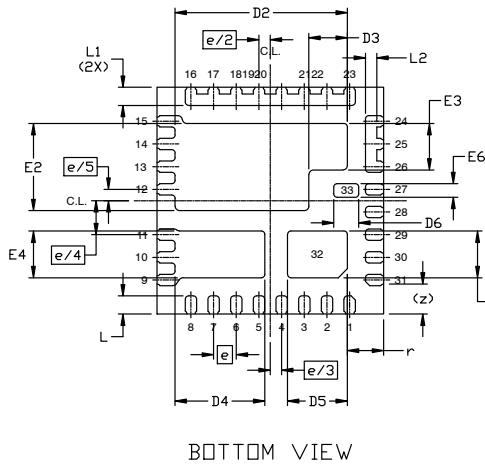
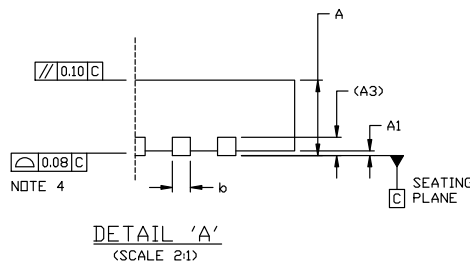
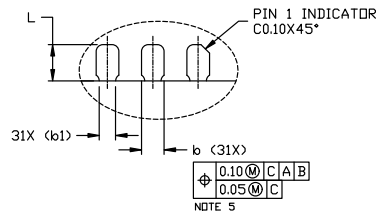
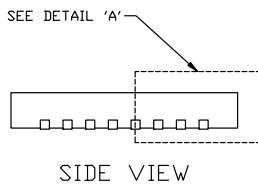
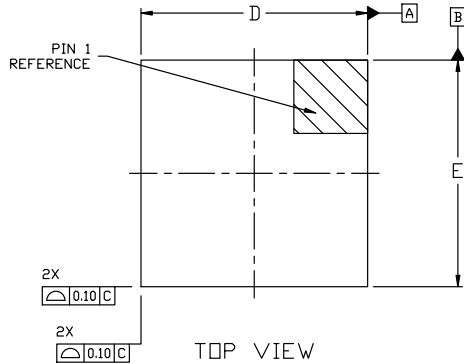
MECHANICAL CASE OUTLINE PACKAGE DIMENSIONS



PQFN31 5X5, 0.5P
CASE 483BR
ISSUE D

DATE 13 FEB 2023

SCALE 2.5:1



NOTES:

1. DOES NOT FULLY CONFORM TO JEDEC REGISTRATION MD-220, DATES MAY/2005.
2. DIMENSIONING AND TOLERANCING PER ASME Y14.5, 2009.
3. CONTROLLING DIMENSION MILLIMETERS
4. DIMENSIONS DO NOT INCLUDE BURRS AND SMEAR OR MOLD FLASH. MOLD FLASH OR BURRS AND SMEAR DO NOT EXCEED 0.10MM.
5. DIMENSION b AND B1 APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30 FROM THE TERMINAL TIP.

DIM	MILLIMETERS		
	MIN.	NOM.	MAX.
A	0.70	0.75	0.80
A1	0.00	-	0.05
A3	0.15	0.20	0.25
b	0.20	0.25	0.30
b1	0.13	0.18	0.30
D	4.90	5.00	5.10
D2	3.70	3.80	3.90
D3	0.75	0.85	0.95
D4	1.88	1.98	2.08
D5	1.22	1.32	1.42
D6	0.45	0.55	0.65
D7	0.38 REF		
E	4.90	5.00	5.10
E2	1.82	1.92	2.02
E3	0.93	1.03	1.13
E4	0.93	1.03	1.13
E5	0.93	1.03	1.13
E6	0.20	0.30	0.40
E7	0.22 REF		
e	0.50 BSC		
e/2	0.25 BSC		
e/3	0.25 BSC		
e/4	0.75 BSC		
e/5	0.25 BSC		
k1	0.40 REF		
k2	0.45 REF		
k3	0.40 REF		
k4	0.30 REF		
k5	0.55 REF		
k6	0.50 REF		
k7	0.40 REF		
L	0.30	0.40	0.50
L1	0.30	0.40	0.50
L2	0.15	0.25	0.35
m	0.15 REF		
n	0.80 REF		
p	2.28 REF		
q	2.38 REF		
r	0.80 REF		
z	0.625 REF		

DOCUMENT NUMBER:	98AON13680G	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	PQFN31 5X5, 0.5P	PAGE 1 OF 2

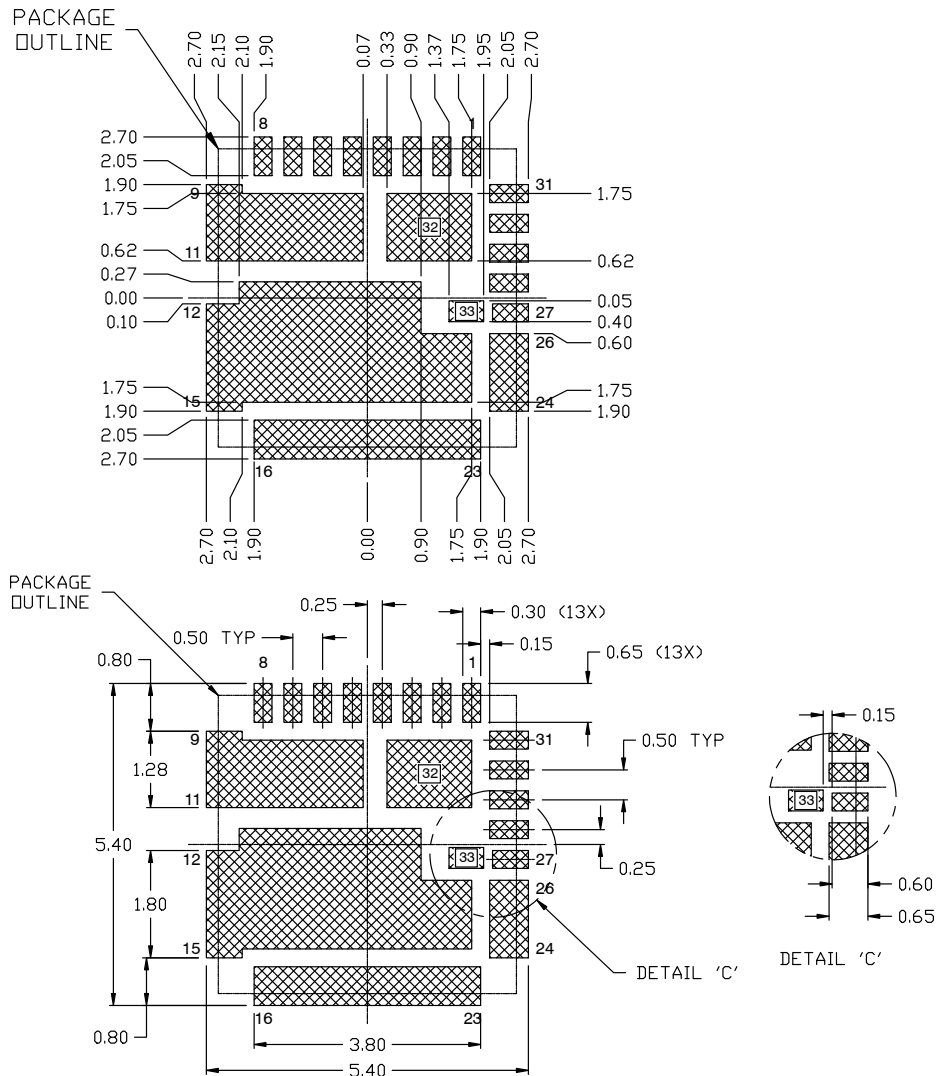
onsemi and ONSEMI are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

MECHANICAL CASE OUTLINE PACKAGE DIMENSIONS



PQFN31 5X5, 0.5P CASE 483BR ISSUE D

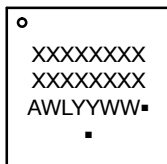
DATE 13 FEB 2023



RECOMMENDED MOUNTING FOOTPRINT*
(2X SCALE)

* For additional information on our Pb-Free strategy and soldering details, please download the DSEMI Soldering and Mounting Techniques Reference Manual, SOLDERM/D.

GENERIC MARKING DIAGRAM*



XXXX = Specific Device Code
A = Assembly Location
WL = Wafer Lot
YY = Year
WW = Work Week
■ = Pb-Free Package

(Note: Microdot may be in either location)

*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "■", may or may not be present. Some products may not follow the Generic Marking.

DOCUMENT NUMBER:	98AON13680G	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	PQFN31 5X5, 0.5P	PAGE 2 OF 2

onsemi and ONSEMI are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales