

Cascode Primer

SiC JFET Cascode应用指南

AND90328/D

范围

本文是安森美 (onsemi) cascode FET (碳化硅共源共栅场效应晶体管) 在硬开关和软开关应用中的应用指南, 讲解了共源共栅 (cascode) 结构、关键参数、独特功能和设计支持。

参考文档

[Qorvo SiC FET 用户指南](#)

[带有缓冲电路的快速开关 SiC FET](#)

简介

碳化硅结型场效应晶体管 (SiC JFET) 相比其他竞争技术具有一些显著的优势, 特别是在给定芯片面积下的低导通电阻 (称为 $R_{DS(A)}$)。为了实现最低的 $R_{DS(A)}$, 需要权衡的一点是其常开特性, 这意味着如果没有栅源电压, 或者 JFET 的栅极处于悬空状态, 那么 JFET 将完全导通。然而, 开关模式在应用中通常需要常关状态。因此, 将 SiC JFET 与低电压硅 MOSFET 以 cascode 配置结合在一起, 构造出一个常关开关模式 “FET”, 这种结构保留了大部分 SiC JFET 的优点。

Cascode结构

共源共栅 (Cascode) 结构是通过将一个 SiC JFET 与一个低压、常关的硅 (Si) MOSFET 串联而成, 其中 JFET 的栅极连接到 MOSFET 的源极。MOSFET 的漏源电压是 JFET 栅源电压的反相, 从而使 cascode 结构具

有常见的常关特性。该结构可在额定漏源电压范围内阻断电流, 但如同任何 MOSFET (无论是硅基还是碳化硅基器件) 一样, 其反向电流始终可以流通。

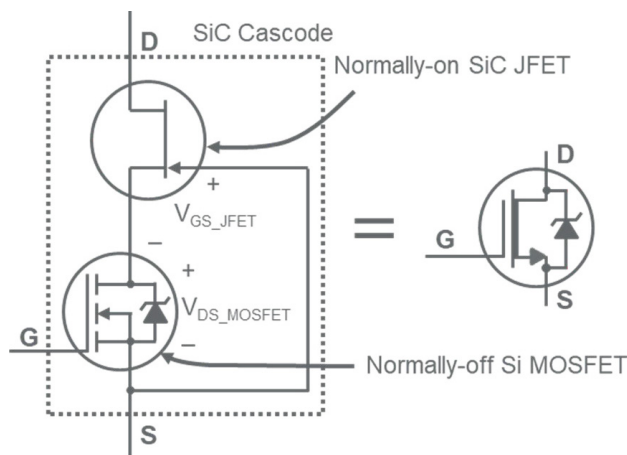
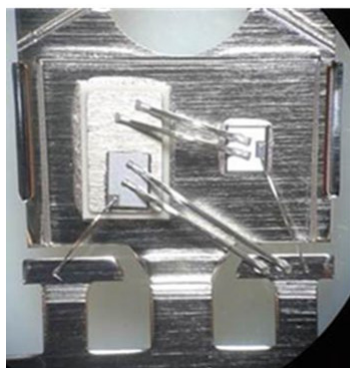


图 1. Cascode配置

当内部 MOSFET 导通或有反向电流流过时, 不论 cascode 的栅极电压如何, JFET 的栅极-源极电压几乎为零, JFET 处于导通状态。当 MOSFET 关断且 cascode 两端存在正的 V_{DS} (漏源电压) 时, MOSFET 的 V_{DS} 会增加, 与此同时 JFET 的栅源电压会降低至低于 JFET 的阈值电压, 从而关断 JFET。请参见图 1。



(a)



(b)

图 2. 分立 Cascode 结构

分立cascode 结构采用并排芯片，如图 2 (a) 所示，或堆叠芯片，如图 2 (b) 所示。在这两种情况下，SiC JFET 通常都是银烧结在封装引线框架上。在并排配置中，MOSFET 安装在一个金属镀层的陶瓷隔离器上，有两组源极连接线：一组连接 JFET 源极和 MOSFET 漏极（金属镀层陶瓷的顶面），另一组连接 MOSFET 源极和源极引脚。在堆叠芯片配置中，JFET 源极和 MOSFET 漏极之间的连接线被取消，从而减少

了杂散电感。并采用直径较小的连接线连接 JFET 和 MOSFET 栅极。

该MOSFET专为cascode结构设计，其有源区雪崩电压设定约为25 V。MOSFET基于30 V硅工艺制造，具有低导通电阻 $R_{DS(on)}$ ，通常仅为JFET的10%，并且具有低反向恢复电荷 Q_{RR} 等特性。JFET用于阻断高电压。大部分的开关和导通损耗都集中在JFET上。

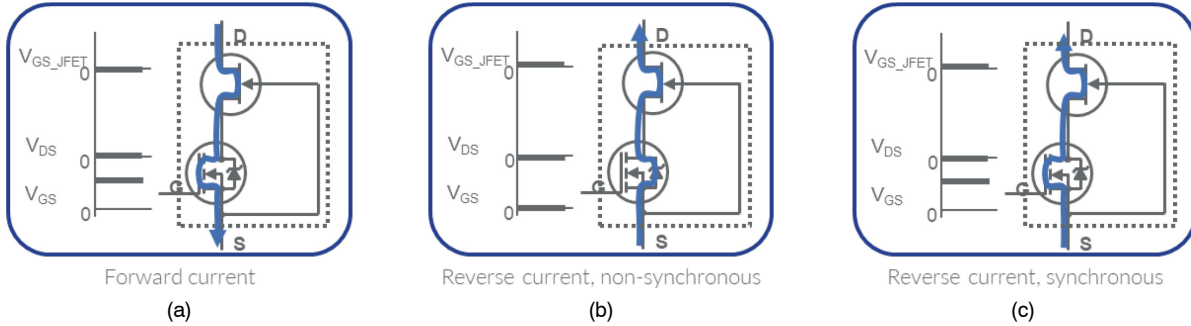


图 3. Cascode正向和反向电流操作

Cascode 的导通电阻 $R_{DS(on)}$ 包括 SiC JFET 和低压Si MOSFET 的导通电阻。cascode栅极关断时，反向电流流经 MOSFET 体二极管，从而自动导通 JFET，如图 3 (b) 所示的非同步反向电流情况。在这种情况下，源极-漏极电压为 MOSFET 体二极管压降加上 JFET 导通电阻的压降。由于cascode内的 MOSFET 由硅制成，因此栅极关断时的源极-漏极电压不到同类 SiC MOSFET 的一半。当栅极导通时，cascode结构在正向和反向电流下具有相同的导通损耗。

Cascode的栅极电压范围非常灵活，原因有二。首先，栅极是 MOSFET 栅极，在室温下阈值电压接近 5 V，无需负栅极电压。栅极电压范围为 +20 V，且不存在阈值电压漂移或迟滞风险，同时内置了栅极保护齐纳二极管。其次，cascode具有高增益。图 4 显示了采用 TOLL (MO-229) 封装的 750 V、5.4 mΩ 第 4 代堆叠芯片结构的cascode—— UJ4SC075005L8S 在 25 °C 的输出特性曲线。

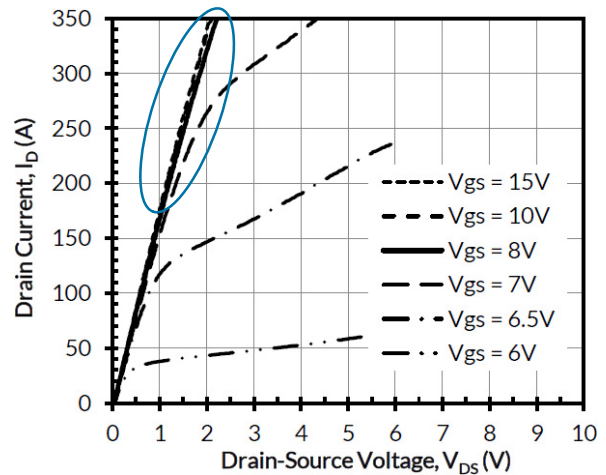


图 4. Cascode的高增益可实现 10 V 栅极驱动

请注意，当cascode栅源电压超过约 8 V 时，其电导率的变化非常小。一旦MOSFET导通，JFET即完全导通。这意味着cascode可以用 0 至 10 V 的自举电压来驱动，从而最大限度地降低栅极驱动器的功率和成本。另一方面，更宽的栅极电压范围（如 -5 至 +18 V）也不会对器件造成损害。

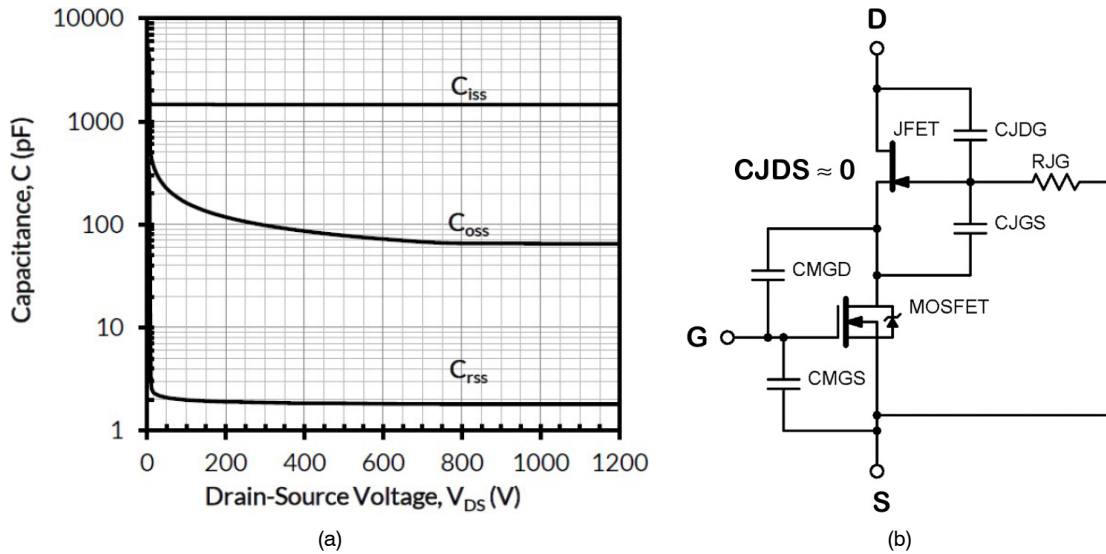


图 5. Cascode 电容

图 5(a) 显示了 MOSFET 和 JFET 的芯片电容变化曲线。请注意，图 5(b) 中的 JFET 栅极电阻 R_{JG} 并不是一个单独的电阻，而是 JFET 芯片的一部分。cascode 与其他功率晶体管的一个主要区别是没有栅漏电容。当漏源电压 V_{DS} 超过 JFET 阈值电压后， C_{rss} 实际上会降至零。这是因为 JFET 没有漏极-源极电容（既没有 PN 结，也没有体二极管来产生这种电容）。这意味着在开关电压转换过程中，cascode 的 dV_{DS}/dt 主要由外部电路而不是 cascode 栅极电阻决定。Cascode 的 MOSFET 开关速度可通过其栅极电阻调节，而 JFET 的开关速度部分由 MOSFET 决定，部分则由外部电路决定。这解释了为何在硬开关情况下，cascode 结构需借助漏源缓冲电路（snubber）来控制关断速度并抑制电压过冲，下文将对此进行说明。所有 JFET 输出电容（包括栅漏电容与漏源电容）都是栅漏电容。cascode 输出电容 C_{oss} 约等于 JFET 栅极-漏极电容。cascode 输入电容 C_{iss} 主要来自 cascode 的 MOSFET 栅极-源极电容。

Cascode 开关特性

硬开关

大多数 cascode 结构的关断损耗 (E_{off}) 低于开通损耗 (E_{on})。这一特性在数据手册的开关损耗与电流关系图中明显体现，如图 8(a) 所示。cascode 结构的固有开关速度主要由 JFET 电容及其片上栅极电阻决定，这些参数通过设计进行调整使总开关损耗具有竞争力： $E_{total} = E_{off} + E_{on}$ 。应用 cascode 的主要目的是减慢关断速度，以抑制电压过冲和振铃。因此，理解 cascode 的电容特性非常重要。图 6 展示了一个带有感性负载的 cascode 在关断时的情况。图中标注了其输出电容（等于 JFET 的栅漏电容）、片上 JFET 栅极电阻，以及 SiC JFET 与 Si MOSFET。

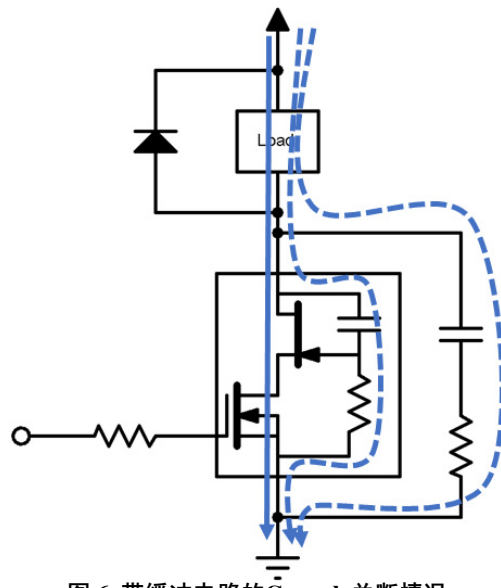


图 6. 带缓冲电路的 Cascode 关断情况

图 6 中的实线箭头表示 cascode 导通时流经感性负载和 cascode 的电流。当 cascode 关断时，它变为电阻特性，随着 cascode 漏极-源极电压的增加，电流转向输出电容和 JFET 栅极电阻。由于缺乏栅极-漏极电容，只有负载电流会对 cascode 输出电容充电；cascode 栅极不会强制流过电流。这使得 cascode 的栅极电荷较低，并且不受 dV/dt 感应（寄生）导通的影响，这些都是 cascode 的吸引人之处。然而，这也对开关速度控制提出了挑战：由于 cascode 输出电容的充电过程不涉及栅极电流，调整 cascode 栅极电阻无法直接调节开关电压压摆率 (dV/dt)。栅极电阻可以调整 cascode MOSFET 的开关速度，从而可以间接调整开关电流压

摆率 di/dt 。（这只是一种简化的解释，因为如果 cascode 栅极电阻足够大， dV/dt 就可以调节，但这样开关延迟时间就会过长）。由于 cascode 的关断速度相对于导通速度更快（见图 8(a)），建议在硬开关应用中使用关断缓冲电路，通常采用电阻电容 (RC) 缓冲器的形式，连接在漏极和源极之间。该设计通过增加

外部可调的输出电容和阻尼电阻，对 cascode 结构的固定输出电容进行补偿。图 6 显示了关断期间从 cascode 分流出的额外电流，从而降低了 cascode 的 dV/dt 和 di/dt 。这种方式有效弥补了仅通过栅极电阻调节开关速度的局限性。

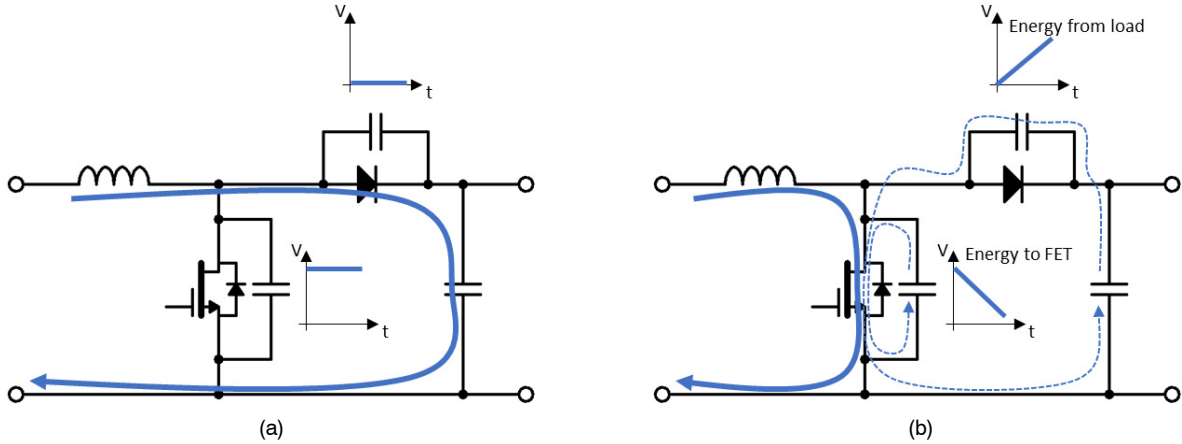


图 7. 在硬导通过程中，存储在输出电容 C_{oss} 及部分缓冲电容中的能量会在 Cascode 中耗散

在图 7 中，输出电容加上额外的缓冲电容由漏极-源极电容表示。在导通过程中，存储在输出电容 C_{oss} 及部分缓冲电容中的能量会在 cascode 中耗散。缓冲电容

的剩余能量则耗散在缓冲电阻中（如果安装的话）。不过，这只会导致总开关损耗略有增加。

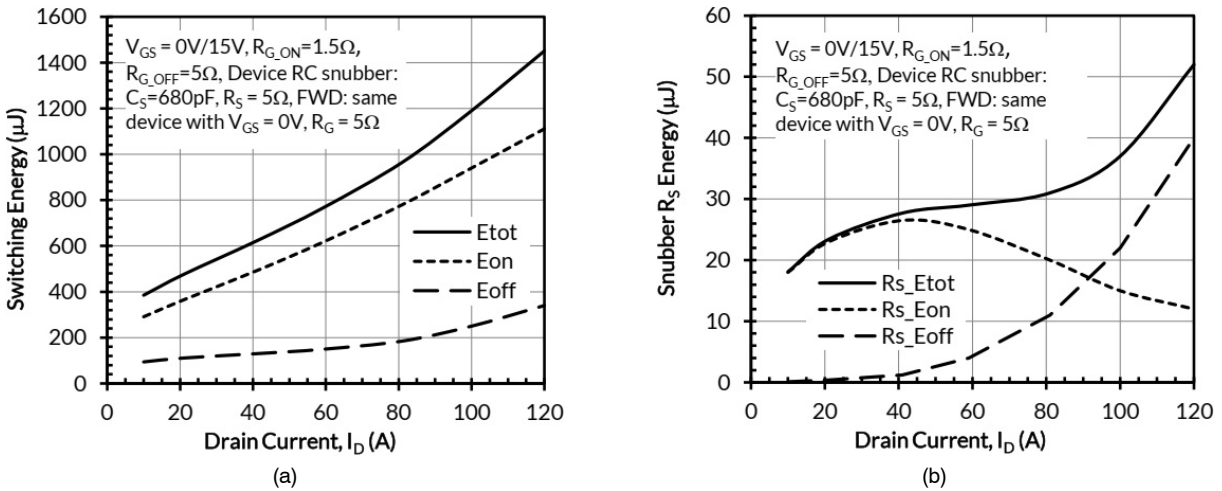


图 8. UJ4SC075005L8S 的 (a) 开关损耗与电流的关系，以及 (b) 缓冲电阻能量与电流的关系

图8(a)展示了UJ4SC075005L8S cascode在硬开关条件下的损耗与电流的关系。从图中可以看出，导通时的开关损耗显著高于关断时的损耗，这是许多cascode器件的典型特征。图8(b)则显示了相同器件对应的缓冲电阻的能量损耗。总的缓冲损耗占总硬开关损耗的3%到5%。需要注意的是，如果没有缓冲电路，通常会出现过多的关断电压过冲和振铃现象。使用缓冲电路后，无论是导通还是关断，Cascode的 V_{DS} （漏源电压）、 V_{GS} （栅源电压）以及 I_D （漏极电流）波形都会受到抑制。实践证明，缓冲电

路是调节cascode开关特性的最有效方法。相比于没有缓冲电路且增加栅极电阻的情况，使用缓冲电路并减少栅极电阻能够降低总开关损耗。SiC JFET cascode和许多 SiC MOSFET 都是如此。

软开关

软开关通常包括零电压开关（ZVS），这是由于FET在反向电流流过之后才导通，从而使漏极-源极电压几乎为零。

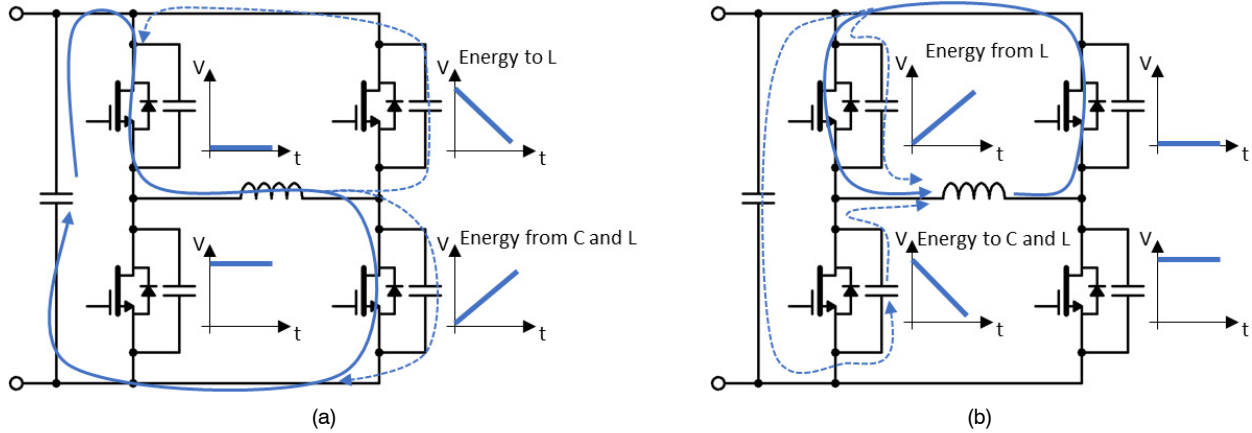


图 9. C_{oss} 和缓冲电路电容中存储的能量在 ZVS 导通时被回收利用

在图9(a)中，右下侧的cascode正在关断，而右上侧的cascode开始续流（freewheel）。此时，漏源电荷从右上侧cascode循环到负载。类似地，在图9(b)中，左上侧的cascode正在关断，而左下侧的cascode开始续流，漏源电荷从左下侧cascode循环到输入端和负载。因此，在零电压开关（ZVS）条件下，不仅消除了导通开关损耗，还因回收了存储在输出电容（ C_{oss} ）和缓冲电容（若存在）中的能量，从而降低了关断损耗。若电路中包含缓冲电阻，缓冲电容中的部分能量当然会在缓冲电阻中耗散。若无缓冲电路，软开关与硬开关的关断损耗（ E_{off} ）差异即为硬开关的 E_{off} 减去 E_{oss} 。对于高速开关器件而言，这一差值通常很小。

JFET 来说是完全安全的，因其栅源雪崩电压远低于 -25 V 。对MOSFET而言亦无风险，因其设计可耐受大电流下的重复雪崩，且雪崩持续时间极短，能量低。此时，负载电流从JFET和MOSFET沟道分流，对输出电容（和缓冲电容）充电，直到电路中的其他器件续流电流。

凭借快速的关断速度、灵活的栅极驱动特性以及低 $R_{DS,C_{oss}}$ （SiC JFET的低 $R_{DS,A}$ ）相结合，cascode在软开关应用中展现出显著优势。根据电路中其他地方的缓冲情况（例如变压器和/或输出整流器两端），即使在ZVS导通的情况下，仍可能需要为cascode配置漏源电容以实现关断缓冲。若电路工作在非谐振模式且硬开关状态，则在缓冲电容上串联一个阻尼电阻可能有助于优化性能。

开关过程中Cascode的内部动态解析

我们再次以图6中带有感性负载的cascode关断过程为例，图10重新绘制了这一过程，但包括了杂散电感。当cascode中的MOSFET关断时，其电阻增大，漏源电压随之上升。实际上，除非cascode的栅极电阻异常大，cascode的MOSFET在关断过程中都会发生雪崩击穿，将JFET的栅源电压钳位在 -25 V 。这对

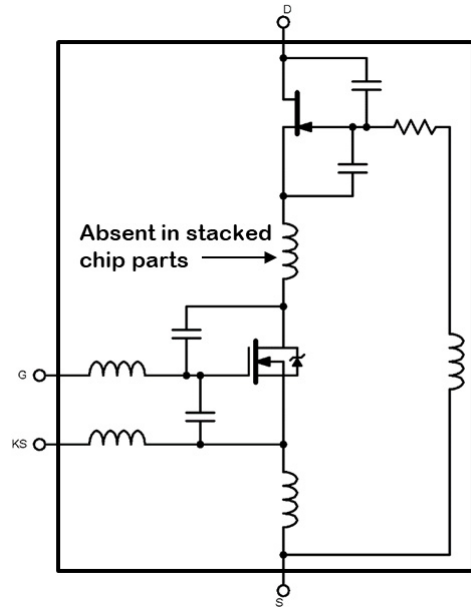


图 10. 包括杂散电感和相关电容在内的Cascode

Cascode 栅极电阻越小, cascode 的 MOSFET V_{DS} 上升越快, MOSFET 将 JFET V_{GS} 箝位在 -25 V 的时间越长。当 JFET V_{GS} 被箝位在 -25 V 时, 即 MOSFET 处于雪崩状态时, JFET V_{GS} 与其阈值电压之间的差值最大。此时 JFET 的抗噪声能力最强。当存储在杂散电感中的能量充分衰减, MOSFET 就会退出雪崩状态, 此时通常会出现振铃。杂散电感主要存在于源极连接线和封装源极引脚中。雪崩结束后, 随着 JFET 完成关断瞬态, MOSFET 的 V_{DS} 将稳定在接近 JFET 阈值电压的水平。若此时源极电感噪声过大, 就

会超过 JFET V_{GS} 与 JFET 阈值电压之间的差值, 从而导致 JFET 误导通。cascode 结构尤其受益于配备独立 Kelvin 源极引脚的封装设计。该设计通过消除栅极驱动回路中负载电流感应电压, 有效抑制 cascode 栅极 (即其内部 MOSFET 栅极) 的振铃, 进而降低内部 JFET 栅极的振铃。类似原理亦适用于导通过程: cascode 中 MOSFET 的快速导通可缩短其 V_{DS} 接近 JFET 阈值电压的持续时间, 从而提升抗噪声能力。

续流后的恢复

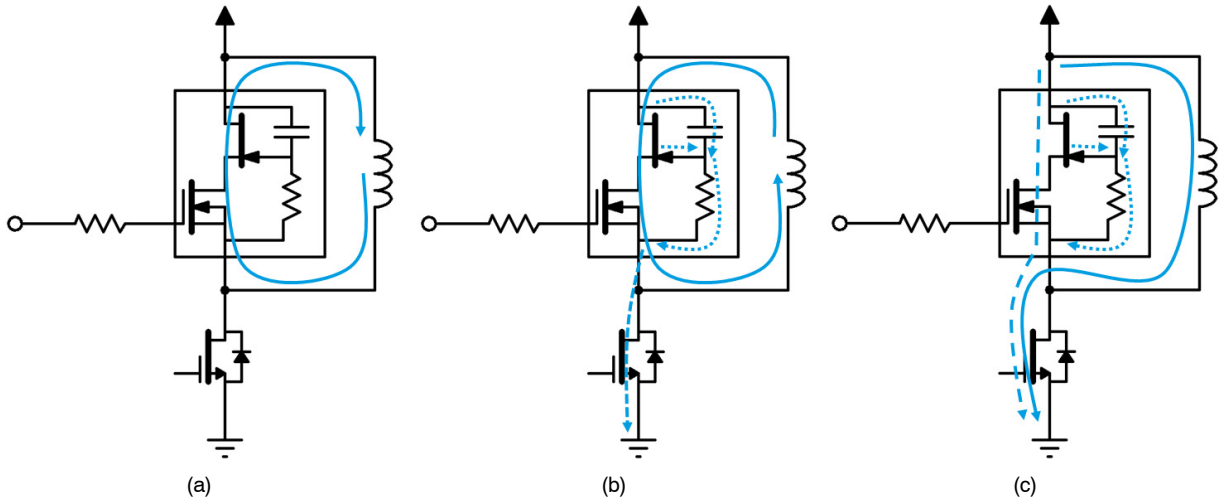


图 11. 续流Cascode在“反向恢复”过程中的状态转换

现在, 让我们考虑一个如图 11 (a) 所示的续流 cascode。即使 MOSFET 在死区内被栅极关断, 续流 cascode 的 MOSFET 仍能保持 JFET 导通。电流需换向到另一个 cascode (本例中为下方) 并反向, 上方 cascode 才能支持漏极-源极电压。续流 cascode 中 JFET 的栅源电压 (V_{GS}) 必须从略高于正值转变为低于 JFET 阈值电压的负值。首先, 续流 cascode 的 MOSFET 会经历真正的反向恢复, 由于 30 V MOSFET 的少数载流子寿命很短, 此过程速度极快且电荷量极小, 如图 11(b) 所示。随后, 与前述硬开关关断类似, MOSFET 通常进入雪崩状态。JFET 的 V_{GS} 变化取决于其输出电容 (栅漏电容) 与片上栅极电阻。与此同时, 电流继续流过续流 JFET 及其 MOSFET, 直到 JFET 完成关断序列, 如图 11 (c) 所示。其中只有一小部分电流来自续流 cascode 的 MOSFET 体二极管, 大部分反向恢复电荷来自续流 cascode 中 JFET 关断时的电流。这种 cascode 反向恢复效应与温度无关, 在很大程度上也与电流无关, 因为它取决于 JFET 栅极-漏极电容和 JFET 栅极电阻。无论电流大小, 恢复电荷都大致相同, 这使得大电流下的开关波形看起来相当不错, 但在小电流下会产生相对较高的 E_{on} 。

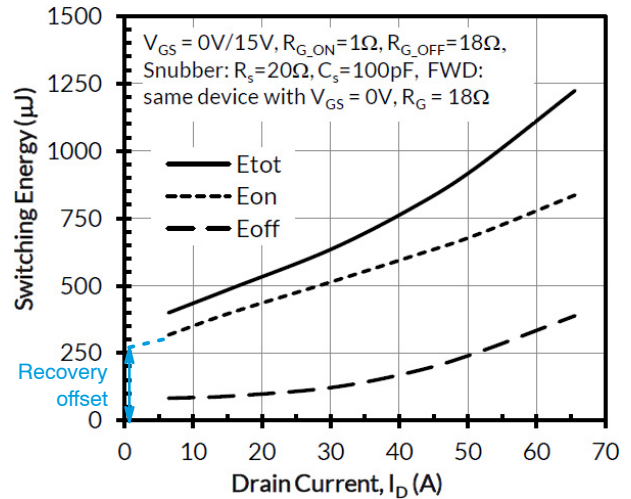


图 12. UF4SC120023K4S (1200 V、23 mΩ 第四代 Cascode 器件) 的开关损耗-电流关系曲线

Cascode 器件数据手册中呈现的 E_{on} 与电流曲线偏移 (基于感性负载硬开关半桥测试数据) 直观体现了这一反向恢复效应。图 12 显示了一个通过推断得到的

E_{on} 曲线的示例，若能在接近零电流条件下测量 E_{on} ，其值几乎完全由续流cascode的反向恢复过程引起的。

CASCODE 的权衡

SiC JFET cascode 结构与 SiC MOSFET 的权衡因素截然不同。在 SiC 上制造 MOS 栅极的挑战与cascode 结构无关。Cascode 结构的基本权衡因素在于反向恢复电荷效应及其相关的硬开关导通损耗与关断时的电压过冲、以及易产生振铃和振荡之间的平衡。调节这一权衡的主要“调节点”是cascode 中 JFET 的栅极电阻，但由于其封装在器件内部而无法调整，因此需依赖外部缓冲电路和栅极电阻来调节开关。较高的 JFET 栅极电阻会减慢cascode 开关压摆率，从而使器件更易于使用，但代价是较高的反向恢复电荷和硬开关导通损耗。Gen3 “UJ3”系列器件提供了这种选择，其内部 JFET 栅极电阻高于安森美所有其他cascode 产品。UJ3 系列尤其适用于软开关及低频应用场景。而安森美第三代“UF3”系列及所有第四代cascode 产品则专门进行了优化以实现行业领先的总开关损耗，同时具有更高的开关压摆率。

应用支持

[SiC FET用户指南](#)和[缓冲电路应用笔记](#)是基于广泛的测试结果编写的，为所有已发布的cascode 产品提供了

栅极驱动和缓冲电路的指导。您可以在 [SiC FET设计技巧页面](#)找到这些资源以及链接到其他应用笔记和视频。我们也提供[专家技术支持](#)服务。

结语

- Cascode 配置是在开关模式应用中利用常开型SiC JFET的低 $R_{DS(A)}$ 的一种方法。
- 灵活的栅极驱动、快速关断以及低 R_{DS} 、 C_{oss} 使得 cascode 在软开关应用中表现出色。
- 没有栅漏电容带来了低栅极电荷，但同时也限制了栅极电阻对开关速度的控制，因此cascode 可利用缓冲电路来调节固有的快速关断速度。
- Cascode 硬开关反向恢复效应在很大程度上与温度和电流无关。
- 使用Kelvin源连接和尽可能小的栅极电阻时，cascode 工作效果最佳。
- 可提供用户指南、应用笔记、视频、仿真文件、免费在线仿真工具和计算器软件以及专业的技术支持。

AND90328/D

REVISION HISTORY

Revision	Description of Changes	Date
2	Created a dual-language document – Chinese version added	5/29/2025

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:
Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support
For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales