Is Now Part of

ON Semiconductor®

To learn more about ON Semiconductor, please visit our website at
www.onsemi.com

Please note: As part of the Fairchild Semiconductor integration, some of the Fairchild orderable part numbers will need to change in order to meet ON Semiconductor's system requirements. Since the ON Semiconductor product management systems do not have the ability to manage part nomenclature that utilizes an underscore (_), the underscore (_) in the Fairchild part numbers will be changed to a dash (-). This document may contain device numbers with an underscore (_). Please check the ON Semiconductor website to verify the updated device numbers. The most current and up-to-date ordering information can be found at www.onsemi.com. Please email any questions regarding the system integration to Fairchild_questions@onsemi.com.

FAIRCHILD SEMICONDUCTOR®

2013年4月

µSerDes™ FIN212AC
支持摄像头和小型显示器的12位串行器/解串器

特性

数据和控制位	12位
频率	40MHz
功能	照相机或LCD
接口	微控制器、RGB、YUV
微控制器的使用	m68和i86
可选边沿速率	是
待机电流	<10 µA
内核电压（$V_{DDA/S}$）	2.5到3.6V
I/O电压（V_{DDP}）	1.65V至3.6V
ESD（I/O到GND）	14kV
封装	32端子MLP 42引脚USS-BGA
订购信息	FIN212ACMLX FIN212ACGFX

说明

FIN212AC µSerDes™是一款低功耗串行器/解串器，针对手机显示屏和摄像头路径进行了优化。该器件将12位数据路径降至四线路。
对于相机应用，可以在数据流的反方向通过一个额外的主时钟。 该器件采用飞兆专有的超低功耗、低EMI技术。

应用

- 滑块、文件夹和翻盖手机
- 打印机
- 安全摄像头

相关资源

- 有关样品、疑问请联系：Interface@fairchildsemi.com。

典型应用

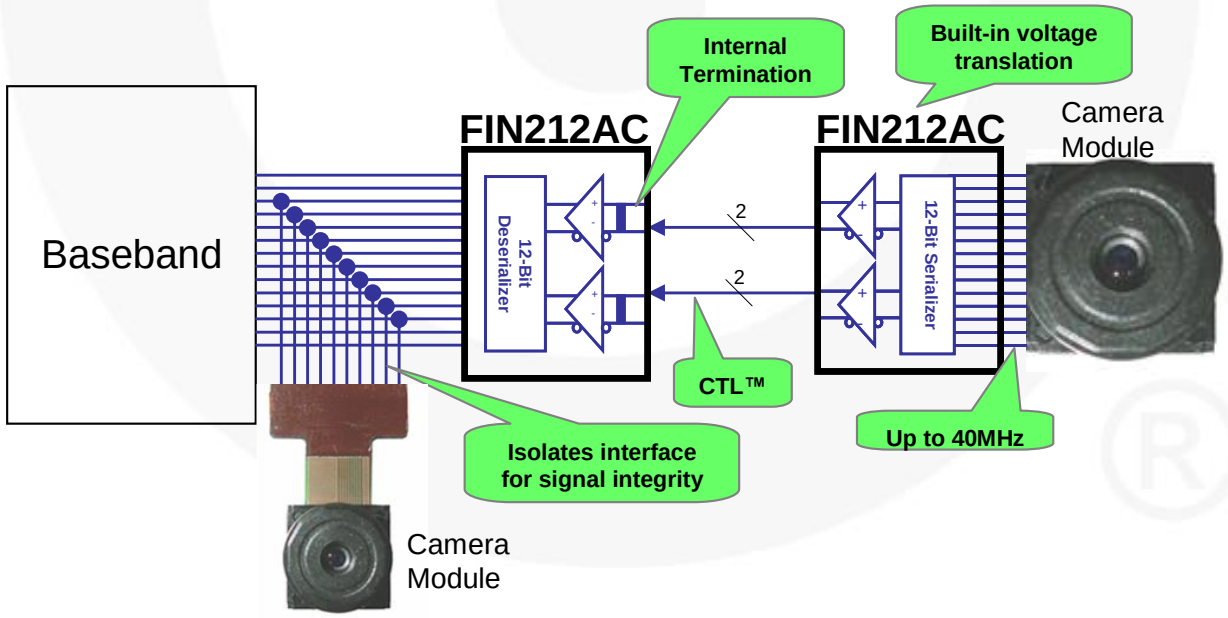


图 1. 移动电话示例

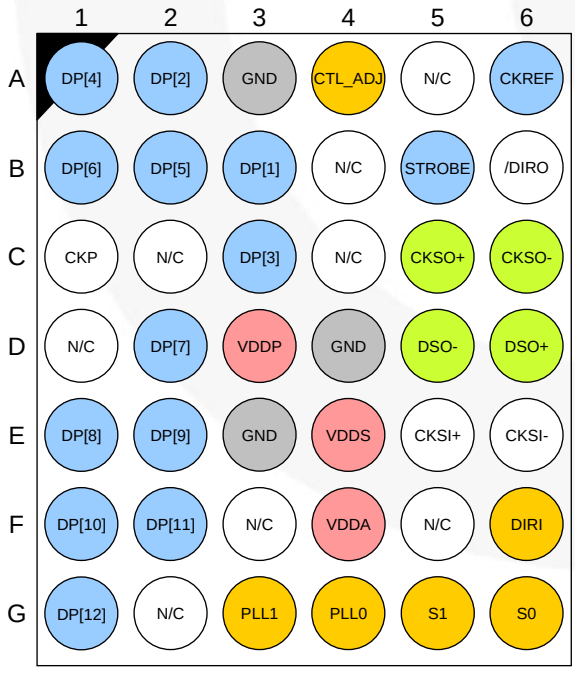
FIN212AC（串行器DIRI=1）引脚描述

引脚名	说明		
DIRI	控制以确定串行器或解串器配置。	0	解串器
		1	串行器
CTL_ADJ	调节CTL驱动以补偿环境条件和长度。	0	低电平驱动（低功率）
		1	高电平驱动（高功率）
S0	配置PLL的频率范围。	请参见表1串行器(DIRI=1)控制引脚。	
S1	配置PLL的频率范围。	请参见表1串行器(DIRI=1)控制引脚。	
PLL0	划分或调节串行频率。	请参见表1串行器(DIRI=1)控制引脚。	
PLL1	划分或调节串行频率。	请参见表1串行器(DIRI=1)控制引脚。	
CKREF	LV-CMOS时钟输入和PLL参考。		
STROBE	LV-CMOS选通脉冲输入，用于将数据(DP [1:12])锁存到上升沿上的串行器。		
DP[1:12]	LV-CMOS并行数据输入。 （GND输入，如果未使用）		
CKSO+ CKSO-	CTL差分串行器输出位时钟。 CKSO+：正信号；CKSO-： 负信号。		
DSO+ DSO-	CTL差分串行输出数据信号。 DSO+：正信号；DSO-： 负信号。		
CKSI+ CKSI-	CTL差分解串器输入位时钟。 CKSI+：正信号；CKSI-： 负信号。	除非在“时钟导通”模式下，否则无连接。	
CKP	LV-CMOS字时钟输出或像素时钟输出。	除非在“时钟导通”模式下，否则无连接。	
/DIRO	LV-CMOS输出，正常操作中DIRI的反相。 可用于驱动解串器的DIRI信号，其中接口需要转换方向。		如果未使用，则无连接。
VDDP	并行I/O的电源。 （所有VDDP引脚必须连接到VDDP）		
VDDS	串行I/O的电源。		
VDDA	内核电源。		
GND	所有GND引脚必须接地。 BGA：所有GND焊盘。 MLP：引脚29和GND PAD必须接地。		
N/C	未连接。 （请勿连接到GND或VDD）		

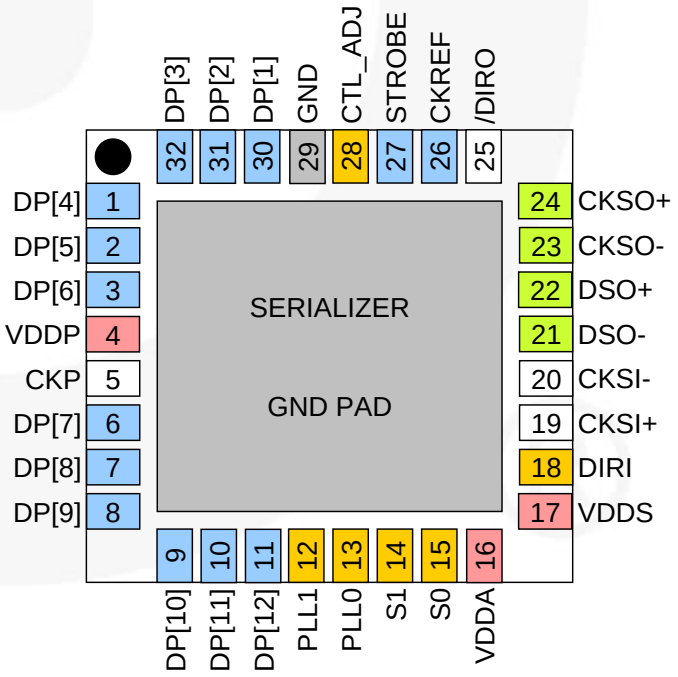
注意：

1. 0=GND；1=VDDP

FIN212AC（串行器DIRI=1）引脚配置



42引脚BGA，3.5 x 4.5mm，0.5mm引脚间距（顶视图）



32引脚MLP，5 x 5mm，0.5mm引脚间距（顶视图）

图 2. **FIN212AC（串行器DIRI=1）引脚分配（顶视图）**

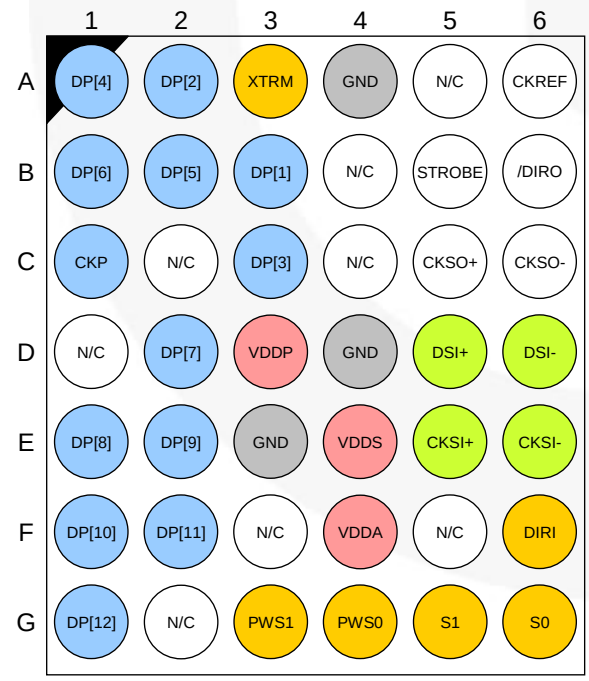
FIN212AC（解串器DIRI=0）引脚描述

引脚名	说明		
DIRI	控制以确定串行器或解串器配置。	0	解串器
		1	串行器
XTERM	控制以确定是否使用内部或外部终端	0	使用了内部终端
		1	在CKSI和DSI上需要外部终端
S0	用于确定并行I/O边沿速率的信号。	*请参见表2解串器(DIRI=0)控制引脚。*	
S1	用于确定并行I/O边沿速率的信号。	*请参见表2解串器(DIRI=0)控制引脚。*	
PWS0	配置CKP脉冲宽度。	*请参见表2解串器(DIRI=0)控制引脚。*	
PWS1	配置CKP脉冲宽度。	*请参见表2解串器(DIRI=0)控制引脚。*	
DP[1:12]	LV-CMOS并行数据输出。 （N/C，如果未使用）		
CKP	LV-CMOS字时钟输出或像素时钟输出。		
DSI+ DSI-	CTL差分串行输入数据信号。 DSI+：正信号；DSI-： 负信号。		
CKSI+ CKSI-	CTL差分解串器输入位时钟。 CKSI+：正信号；CKSI-： 负信号。		
CKSO+ CKSO-	CTL差分串行器输出位时钟。 CKSO+：正信号；CKSO-： 负信号。	除非在“时钟导通”模式下，否则无连接。	
CKREF	LV-CMOS时钟输入和PLL参考。	除非在“时钟导通”模式下，否则无连接。	
STROBE	LV-CMOS选通脉冲输入，用于将数据锁存到串行器中。	除非在“时钟导通”模式下，否则无连接。	
/DIRO	LV-CMOS 输出。 正常操作中DIRI的反相。	如果未使用，则无连接。	
VDDP	并行I/O的电源。 （所有VDDP引脚必须连接到VDDP）		
VDDS	串行I/O的电源。		
VDDA	内核电源。		
GND	所有GND引脚必须接地。 BGA：所有GND焊盘。 MLP：引脚28、29、GND PAD必须接地。		
N/C	未连接。 BGA：G1，F2；MLP：10、11；（请勿连接到GND或VDD）		

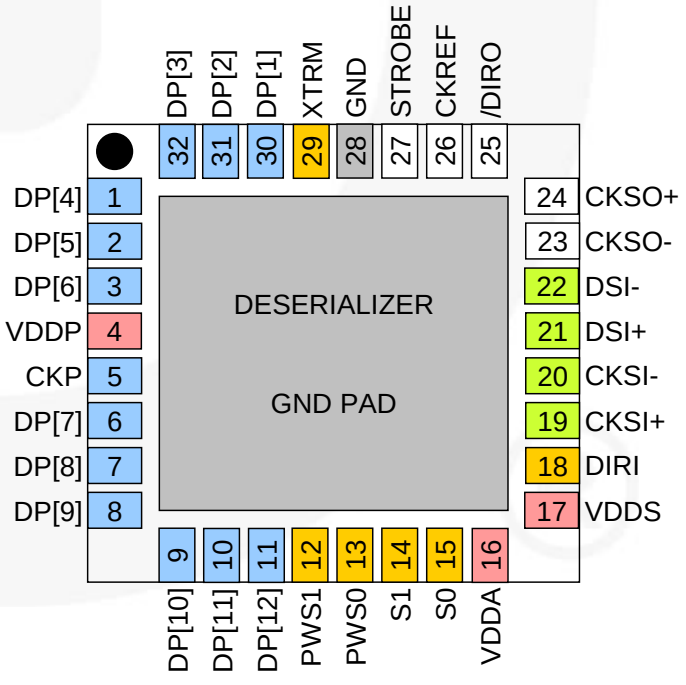
注意：

2. 0=GND；1=VDDP

FIN212AC（解串器DIRI=0）引脚配置



42引脚BGA，3.5 x 4.5mm，0.5mm引脚间距（顶视图）



32引脚MLP，5mm x 5mm，0.5mm引脚间距（顶视图）

图 3. **FIN212AC（解串器DIRI=0）引脚分配（顶视图）**

系统控制引脚

工作条件	功能			控制引脚			
	CKREF	STROBE	PLL乘法器	PLL0	PLL1	S0	S1
慢速频率							
正常运行	5MHz到14MHz	≤ CKREF（最高14MHz）	1	1	0	0	1
支持CKREF上的扩频	4.7MHz到13.3MHz	≤ CKREF（最高13.3MHz）	0.954	0	0	0	1
使用固定的CKREF输入；STROBE可以是1/2速度	5MHz到14MHz	≤ CKREF / 2（最高7MHz）	2	0	1	0	1
使用固定的CKREF输入；STROBE可以是1/3速度	5MHz到14MHz	≤ CKREF / 3（最高4.67MHz）	3	1	1	0	1
中速频率							
正常运行	8MHz到28MHz	≤ CKREF（最高28MHz）	1	1	0	1	1
支持CKREF上的扩频	9.5MHz到26.7MHz	≤ CKREF（最高26.7MHz）	0.954	0	0	1	1
使用固定的CKREF输入；STROBE可以是1/2速度	8MHz到28MHz	≤ CKREF / 2（最高14MHz）	2	0	1	1	1
使用固定的CKREF输入；STROBE可以是1/3速度	8MHz到28MHz	≤ CKREF / 3（最高9.3MHz）	3	1	1	1	1
快速频率							
正常运行	20MHz到40MHz	≤ CKREF（最高40MHz）	1	1	0	1	0
支持CKREF上的扩频	19MHz到38.2MHz	≤ CKREF（最高38.2MHz）	0.954	0	0	1	0
使用固定的CKREF输入；STROBE可以是1/2速度	20MHz到40MHz	≤ CKREF / 2（最高20MHz）	2	0	1	1	0
使用固定的CKREF输入；STROBE可以是1/3速度	20MHz到40MHz	≤ CKREF / 3（最高13.3MHz）	3	1	1	1	0
掉电				x	x	0	0

表1： 串行器(DIRI=1)控制引脚

LVCMOS输出边沿速率	CKP到STROBE	CKP脉冲宽度低电平时间		标号		控制引脚			
		CKREF=19.2MHz	CKREF=26MHz	PLL乘法器（串行器）	Pwidth乘法器	PWS0	PWS1	S0	S1
慢速频率									
约7 – 8ns (C_L=8pF)	非反相	52.1ns	38.5ns	2	7	0	0	0	1
	反相	52.1ns	38.5ns	2	7	1	0	0	1
[通常用于5MHz到14MHz的信号]	非反相	96.7ns	71.4ns	2	13	0	1	0	1
	非反相	126.5ns	93.4ns	2	17	1	1	0	1
中速频率									
约4 – 5ns (C_L=8pF)	非反相	78.1ns	57.7ns	3	7	0	0	1	1
	反相	78.1ns	57.7ns	3	7	1	0	1	1
[通常用于8MHz到28MHz的信号]	非反相	145.1ns	107.1ns	3	13	0	1	1	1
	非反相	189.7ns	140.1ns	3	17	1	1	1	1
快速频率									
~2 – 3ns (C_L=8pF)	非反相	26ns	19.2ns	1	7	0	0	1	0
	反相	26ns	19.2ns	1	7	1	0	1	0
[通常用于20MHz到40MHz的信号]	非反相	48.4ns	35.7ns	1	13	0	1	1	0
	非反相	63.2ns	46.7ns	1	17	1	1	1	0
掉电						X	X	0	0

表2： 解串器(DIRI=0)控制引脚脉冲宽度计算

CKP脉冲宽度低电平时间=(PLL乘法器 * Pwidth乘法器) / (CKREF*14)　　(1)

示例： CKREF=26MHz；PLL乘法器=2；Pwidth乘法器=13

CKP脉冲宽度=(2 * 13) / (26MHz * 14)=71.4ns　　(2)

掉电状态

当S1和S0信号都为0时，无论DIRI信号的状态如何，FIN212AC都会复位并掉电。
掉电模式可完全关断所有内部模拟电路、禁用器件的串行输入和输出并复位所有内部数字逻辑。　　表3：
掉电指示的是掉电模式下的输入状态和输出缓冲器状态。

信号引脚	DIRI=1（串行器）	DIRI=0（解串器）
DP[12:1]	输入禁用	高阻抗
CKP	高	高阻抗
STROBE	输入禁用	输入禁用
CKREF	输入禁用	输入禁用
/DIRO	0	1

表3： 掉电

时钟导通模式

时钟导通模式允许以CTL格式将丰富的谐波时钟源发送给串化器，以减少电话的总谐波含量，并可减少对EMI滤波器的需求。
主时钟导通模式可执行到CTL链路中时钟的转换，并且不对该信号进行串行化。
下文介绍的是如何启用图像传感器的该功能*（请参见图 6）*。

解串器配置(DIRI=0)

1. 将CKREF（BGA引脚A6）连接到GROUND
2. 将主时钟连接到STROBE（BGA引脚B5）

串行器配置(DIRI=1)

1. CKSI将主时钟传递到CKP输出（BGA引脚C1）

CKREF和STROBE信号

请注意，在STROBE和数据之间的某个设置和保持时间必须满足电气特性部分所示的要求。
在CKREF和STROBE之间的关系可同步或异步，具体取决于系统所提供的条件。
建议当信号同步且在正常操作中时，该CKREF连接到STROBE上并尽可能靠近芯片。
如果您正在运行异步或扩频设置，请注意这可能导致CKP信号上的周期抖动。
周期抖动不会影响输出数据和时钟关系，显示器或终端应用将继续正常工作。

PLL注意事项

请注意，PLL范围可能会交叠，选择在较高速PLL范围的低端进行操作可减少功耗。

应用框图

下列应用框图说明了FIN212器件的最典型应用。
下列建议对于所示的全部应用都有效。

控制引脚的特定配置可能根据给定系统的需要而有所不同。

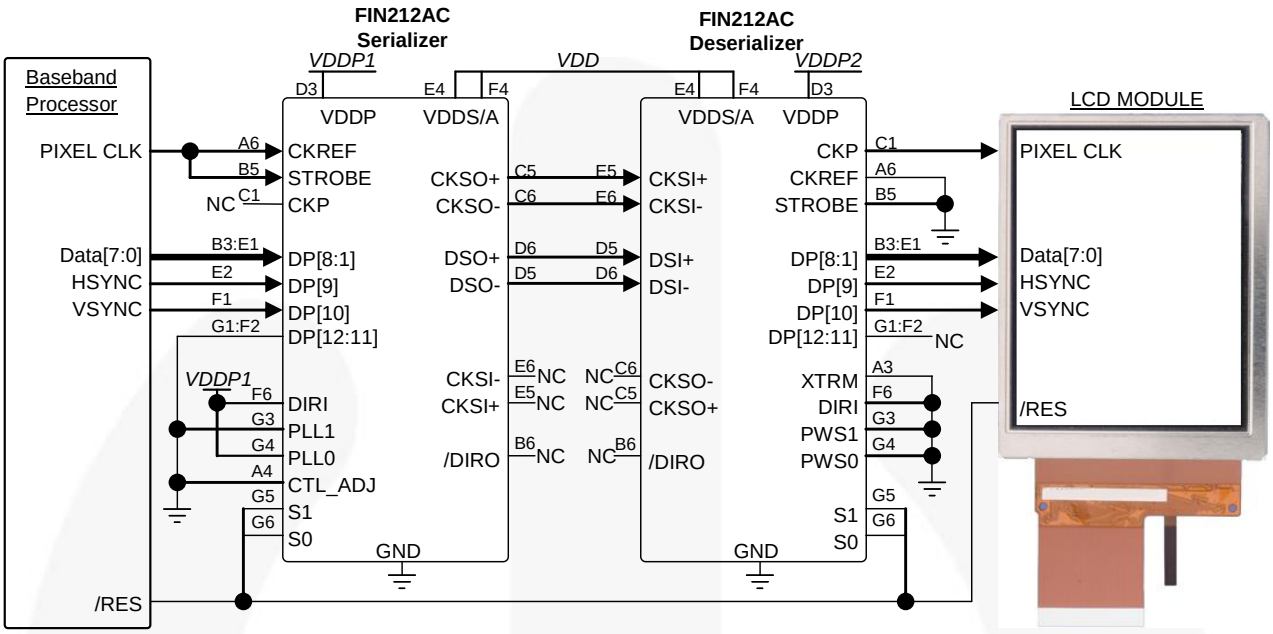


图 4. **8位RGB应用（示例显示的是42引脚BGA封装）**

串行器配置：

8MHz到28MHz的频率范围(S1=S0=1)

正常模式(PLL1=0；PLL0=1)

解串器配置：

约4 – 5ns的输出边沿速率(S1=S0=1)

约50%的CKP脉冲宽度，(PWS1=PWS0=0)

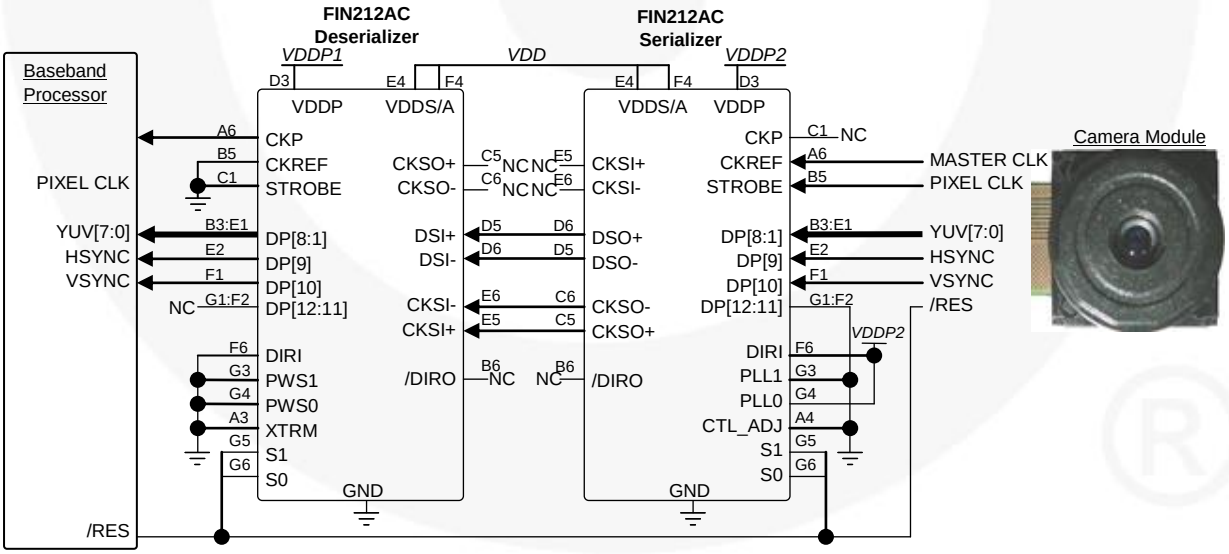


图 5. **8位YUV 1.3M像素CMOS成像器（示例显示的是42引脚BGA封装）**

解串器配置：

约2 – 3ns的输出边沿速率(S1=0, S0=1)

约50%的CKP脉冲宽度，(PWS1=PWS0=0)

串行器配置：

20MHz到40MHz的频率范围(S1=0, S0=1)

正常模式(PLL1=0, PLL0=1)

应用框图（续）

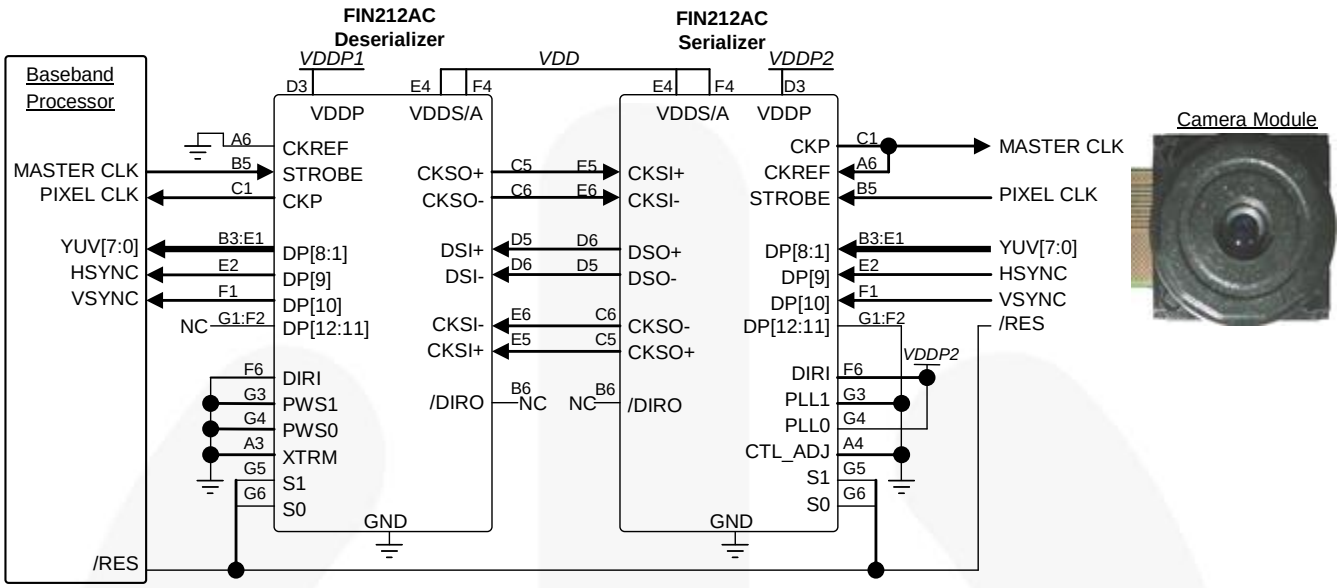


图 6. **8位YUV 1.3M像素CMOS成像器时钟脉冲导通模式下**

串行器配置：

20MHz到40MHz的频率范围(S1=0, S0=1)

正常模式(PLL1=0; PLL0=1)

主时钟旁通模式。

解串器配置：

约2 – 3ns的输出边沿速率(S1=0, S0=1)

约50%的CKP脉冲宽度，(PWS1=PWS0=0)

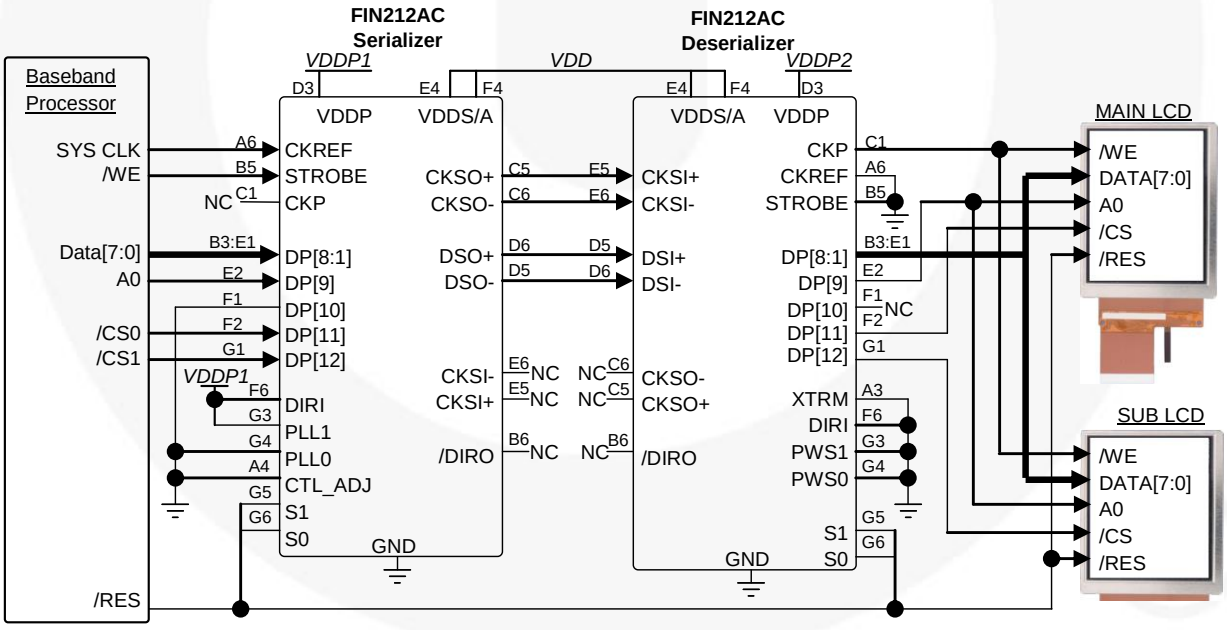


图 7. **8位只写微控制器接口（示例显示的是42引脚BGA封装）**

串行器配置：

20MHz到40MHz的频率范围(S1=0, S0=1)

CKREF的速度是STROBE的两倍(PLL1=1; PLL0=0)

CKREF=26MHz且STROBE频率=10 MHz

解串器配置：

约7 – 8ns的输出边沿速率(S1=1, S0=0)

约50%的CKP脉冲宽度，(PWS1=PWS0=0)

其他应用信息

柔性电缆：串行I/O信息以高串行速率传输。 实施该串行I/O柔性电缆时必须小心。
当开发柔性电缆或柔性电路板时，应使用下面的最佳实践。

- 将所有四个差分串行线的长度保持为相同。
- 不允许噪声信号超过或靠近差分串行线。
  示例： 差分串行线上无LVCMOS走线。
- 差分串行线上仅使用一个接地面或电线。 不要在顶部和底部接地。
- 100□差分阻抗的设计目标
- 不要在差分串行线上放置测试点。
- 至少离开天线2cm使用差分串行线。
- 有关其他应用注意事项或柔性指南，请咨询您的销售代表或直接联系飞兆。
- 有关样品、疑问请联系：Interface@fairchildsemi.com。

绝对最大额定值

应力超过绝对最大额定值，可能会损坏设备。
在超出推荐的工作条件的情况下，该器件可能无法正常运行或操作，且不建议让器件在这些条件下长期工作。
此外，过度暴露在高于推荐的工作条件下，会影响器件的可靠性。 绝对最大额定值仅是额定应力值。

符号	参数		最小值	最大值	单位
V_{DD}	电源电压		-0.5V	+4.6	V
	所有输入/输出电压		-0.5	V_{DD}+0.5	V
	CTL输出短路持续时间		连续		
T_{STG}	存储温度范围		-65	+150	°C
T_J	最大结温		+150		°C
T_L	引脚温度（焊接，4秒）		+260		°C
ESD	人体模型JESD22-A114	接地的串行I/O引脚		14	kV
		全部引脚		8	kV
	放电模式，JESD22-C101			2	kV

推荐工作条件

推荐的操作条件表定义了器件的真实工作条件。 指定推荐的工作条件，以确保设备的最佳性能达到数据表中的规格。
飞兆半导体建议不要超过推荐工作条件，也不能按照绝对最大额定值进行设计。

符号	参数	最小值	最大值	单位
V_{DDA}, V_{DDS}	电源电压	2.5	3.6	V
V_{DDP}	电源电压	1.65	3.60	V
T_A	工作温度	-30	+70	°C
V_{DDA-PP}	电源噪声电压	100		mV_{PP}

直流电气特性

除非另有规定，否则只给出过电源电压范围和工作温度范围内的值。

符号	参数	测试条件	最小值	Typ. (3)	最大值	单位
LVCMOS I/O						
V_{IH}	输入高电平		0.65xV_{DDP}		V_{DDP}	
V_{IL}	输入低电平		GND		0.35xV_{DDP}	V

直流电气特性（续）(续)

V_{OH}	输出高电平		I_{OH}=-2.0mA, S1=0, S0=1	0.75xV_{DDP}		V_{DDP}	V
			I_{OH}=-0.4mA, S1=1, S0=0				
			I_{OH}=-1.0mA, S1=1, S0=1				
V_{OL}	输出低电平		I_{OL}=2.0mA, S1=0, S0=1	0		0.25xV_{DDP}	V
			I_{OL}=0.4mA, S1=1, S0=0				
			I_{OL}=1.0mA, S1=1, S0=1				
I_{IN}	输入电流		V_{IN}= 0V到3.6V	-5.0		5.0	μA
差分I/O							
I_{ODH}	输出高电平源电流	V_{OS}=1.0V	CTL_ADJ=0		-2		mA
			CTL_ADJ=1		-3.4		
I_{ODL}	输出低电平灌电流	V_{OS}=1.0V	CTL_ADJ=0		1.2		mA
			CTL_ADJ=1		2		
V_{GO}	输入电压接地偏置(4)				0		V
R_{TRM}	CKS内部接收器终端电阻		V_{ID}=50mV, V_{IC}=925mV,	80	100	120	Ω
			DIRI=0				
	DS内部接收器终端电阻		V_{ID}=50mV, V_{IC}=925mV,	80	100	120	Ω
			DIRI=0				

说明：

3. 典型值针对V_{DD}=2.775V且T_A=25°C的情况给出。 正电流值适用于流入器件的电流，负电流值适用于流出引脚的电流。除非另有规定，否则电压以GROUND为参考（ΔV_{OD}和V_{OD}除外）。
4. V_{GO}是CTL驱动器和CTL接收器之间器件接地电压的差值。

电源电流

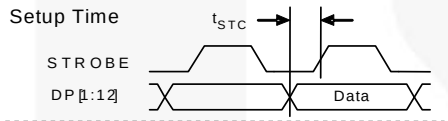
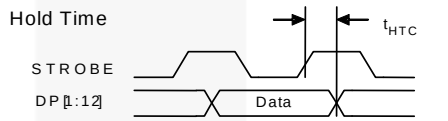
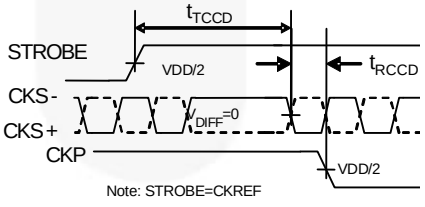
符号	参数	测试条件			最小值	典型值	最大值	单位
I_{DD_PD}	V_{DD}掉电电源电流	S1=S0=0，在GND或VDD处的所有输入				0.1		μA
I_{DD_SER1}	动态串行器电源电流	f_{CKREF}=f_{STRB}，PLL1=0, PLL0=1；CTL_ADJ=0；C_L=0pF	S1=L S0=H	20MHz		13		mA
				40MHz		19		mA
			S1=H S0=L	5MHz		9.5		mA
				14MHz		17		mA
			S1=H S0=H	8MHz		11		mA
				28MHz		20		mA
I_{DD_DES1}	动态解串器电源电流	f_{CKREF}=f_{STRB}, PLL1=0, PLL0=1；CTL_ADJ=0；C_L=0pF	S1=L S0=H	20MHz		10		mA
				40MHz		14		mA
			S1=H S0=L	5MHz		8		mA
				14MHz		9		mA
			S1=H S0=H	8MHz		9		mA
				28MHz		12		mA

引脚电容表

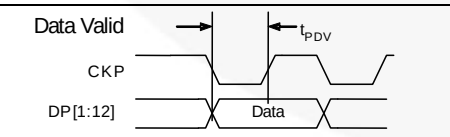
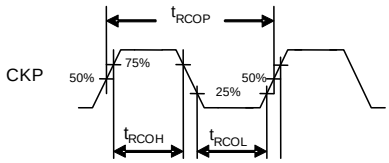
符号	参数	测试条件	最小值	典型值	最大值	单位
C_{IN}, C_{IO}, $C_{IO-DIFF}$	仅输入信号的电容；并行端口引脚DP[1:10]；差分I/O	DIRI=1, S1=0, S0=0, V_{DD}=2.5V		2		pF

交流电气特性

除非另有规定，否则只给出过电源电压范围和工作温度范围内的值。

符号	参数	测试条件		最小值	典型值	最大值	单位
串行器输入工作条件							
f_{CKREF}	CKREF时钟频率 (5MHz – >40MHz)；	$f_{CKREF}=f_{STRB}$	S1=0, S0=1	18		40	MHz
			S1=1, S0=0	5		14	
			S1=1, S0=1	10		28	
f_{STRB}	相对于CKREF频率的选通脉冲频率	$f_{CKREF} \neq f_{STRB}$	PLL1=0, PLL0=0			100	f_{CKREF}的%
			PLL1=0, PLL0=1			100	
			PLL1=1, PLL0=0			50	
			PLL1=1, PLL0=1			$33^{1}/_{3}$	
t_{CPWH}	CKREF DC	$T=1/f_{CKREF}$		0.2	0.5	0.8	T
t_{CPWL}	CKREF DC	$T=1/f_{CKREF}$		0.2	0.5	0.8	T
t_{CLKT}	LVCMOS输入转换时间(5)	10–90%				20	ns
$t_{SPWH/L}$	STROBE脉冲宽度高电平/低电平	$T=1/f_{CKREF}$		T x $^{4}/_{14}$		T x $^{10}/_{14}$	ns
t_{STC}	$DP_{(n)}$设置为STROBE (DIRI=1, f=5MHz)	Setup Time  		2.5			ns
t_{HTC}	$DP_{(n)}$保持为STROBE (DIRI=1, f=5MHz)	Hold Time  		2.0			ns
串行器AC电气特性							
t_{TCCD}	发送器时钟输入到时钟输出延迟(6)	 Note: STROBE=CKREF DIRI=1, $f_{CKREF}=f_{STRB}$		21a+1.5		23a+6.5	ns
锁相环(PLL)AC电气特性							
t_{TPLLS0}	串行器PLL稳定时间	CKREF切换和稳定		200		600	µs
t_{TPLLD0}	时钟的PLL禁用时间损失					30.0	µs
t_{TPLLD1}	PLL掉电时间					20.0	ns

解串器AC电气特性

符号	参数	测试条件	PWS1	PWS0	最小值	典型值	最大值	单位
t_{RCOL}	 	$f_{STRB}=f_{CKREF}$	0	0	7a–3		7a+3	ns
		$f_{STRB}=f_{CKREF}$	0	1	7a–3		7a+3	
		$f_{STRB}=.5x\ f_{CKREF}$	1	0	13a–3		13a+3	
		$f_{STRB}=.5x\ f_{CKREF}$	1	1	17a–3		17a+3	
t_{PDV}	 Setup: DIRI= 0, CKSI and DS are valid signals.	数据对于CKP高电平有效（上升沿STROBE），C_L=5pF			8a–3		8a+3	ns

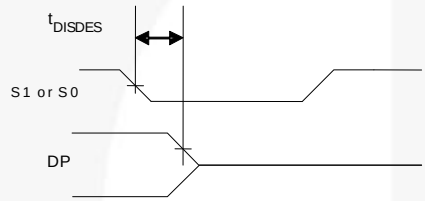
AC电气特性（续）

t_{RFD}	输出上升/下降时间数据（20%到80%）	C_L=8pF	S1=0, S0=1		3		ns
			S1=1, S0=0		8		
			S1=1, S0=1		5		
t_{RFC}	输出上升/下降时间CKP（20%到80%）	C_L=8pF	S1=0, S0=1		2		ns
			S1=1, S0=0		7		
			S1=1, S0=1		4		

说明：

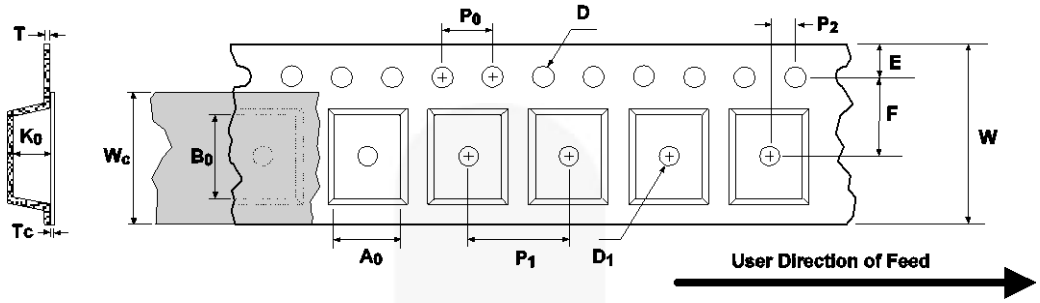
5. 参数具有特征，但未经生产测试。
6. 平均位时间“a”是串行器CKREF频率的函数；a=(1/f)/14。

逻辑定时控制

符号	参数	测试条件	最小值	典型值	最大值	单位
t_{PHL_DIR}, t_{PLH_DIR}	传播延迟DIRI到/DIRO	DIRI L->H or H->L			17	ns
t_{PLZ}, t_{PHZ}	传播延迟DIRI到/DP	DIRI L->H or H->L			25	ns
t_{DISDES}	解串器禁用时间： S0或S1低电平到DP三态；DIRI=0，  Note: If S0(2) is transitioning, S1(1) must =0 for test to be valid.				25	ns
t_{DISSER}	串行器禁用时间： S0或S1低电平到CKP高电平	DIRI=1； S1(0)和S0(1)=H->L			25	ns

卷带和卷盘规格

MLP模压带尺寸

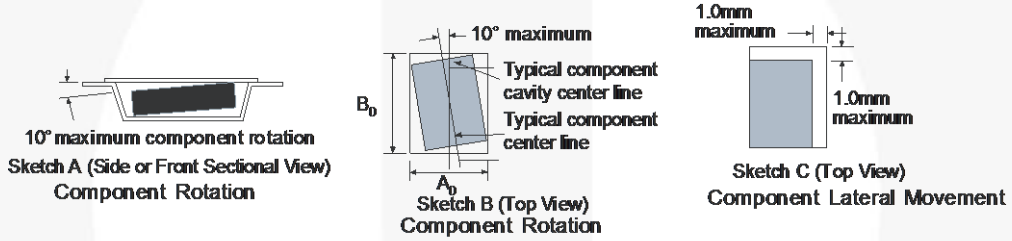


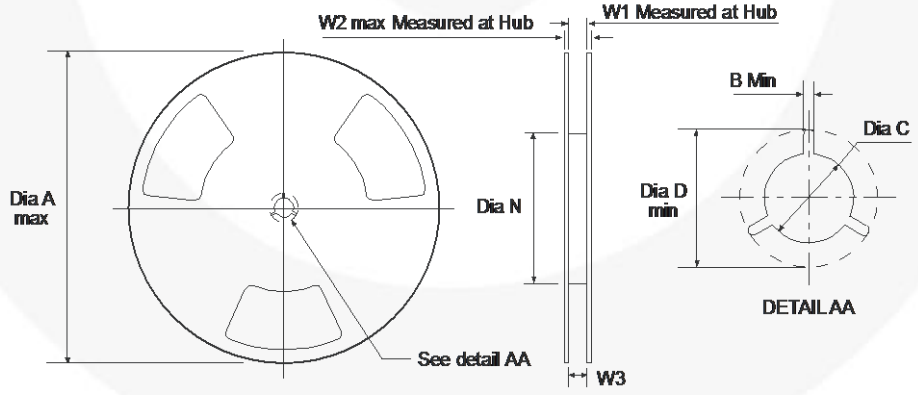
封装	A_0 ±0.1	B_0 ±0.1	D ±0.5	D_1 最小值	E ±0.1	F ±0.1	K_0 ±0.1	P_1 典型值	P_0 典型值	P_2 ±0.5	T Typ.	T_c ±0/05	W ±0.3	W_c 典型值
5 x 5	5.35	5.35	1.55	1.50	1.75	5.50	1.40	8.00	4.00	2.00	0.30	0.07	12.00	9.30
6 x 6	5.35	5.35	1.55	1.50	1.75	5.50	1.40	8.00	4.00	2.00	0.30	0.07	12.00	9.30

说明：

A_0、B_0和K_0尺寸根据EIA/JEDEC RS-481旋转和横向移动要求确定（请参见草图A、B和C）。

MLP运输卷盘尺寸



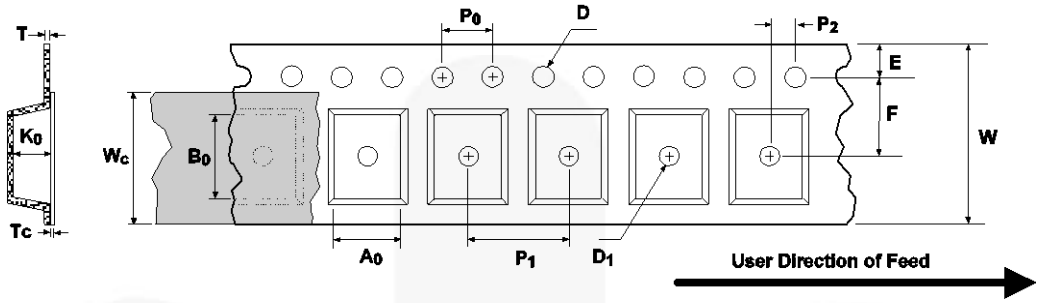


带宽	Dia A 最大值	Dim B 最小值	Dia C +0.5/-0.2	Dia D 最小值	Dim N 最小值	Dim W1 +2.0/-0	Dim W2	Dim W3 (LSL-USL)
8	330.0	1.5	13.0	20.2	178.0.	8.4	14.4	7.9 ~ 10.4
12	330.0	1.5	13.0	20.2	178.0.	12.4	18.4	11.9 ~ 15.4
16	330.0	1.5	13.0	20.2	178.0.	16.4	22.4	15.9 ~ 19.4

图 8. **MLP卷带和卷盘**

卷带和卷盘规格（续）

BGA模压带尺寸

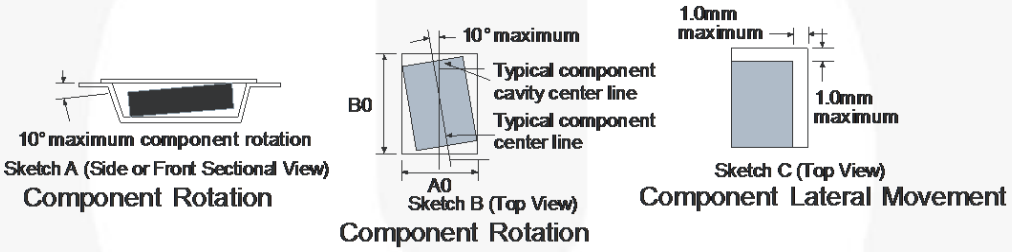


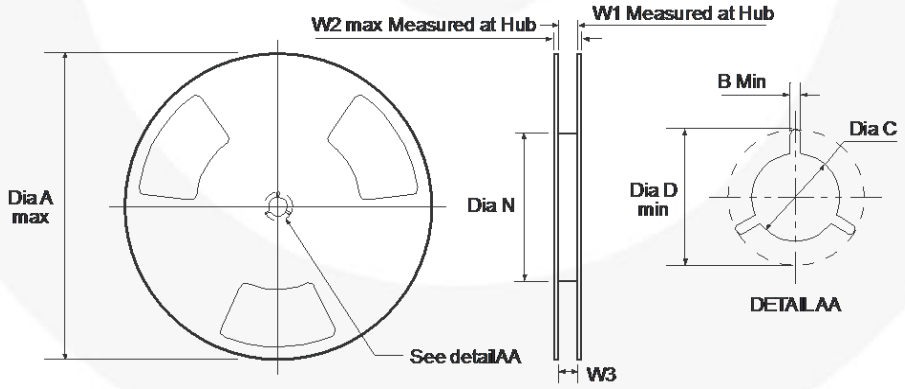
封装	A_0 ±0.1	B_0 ±0.1	D ±0.5	D_1 最小值	E ±0.1	F ±0.1	K_0 ±0.1	P_1 典型值	P_0 典型值	P_2 ±0.5	T 典型值	T_c ±0/05	W ±0.3	W_c 典型值
3.5 x 4.5	3.85	4.80	1.55	1.50	1.75	5.50	1.10	8.00	4.00	2.00	0.30	0.07	12.00	9.3

说明：

A_0、B_0和K_0尺寸根据EIA/JEDEC RS-481旋转和横向移动要求确定（请参见草图A、B和C）。

BGA运输卷盘尺寸

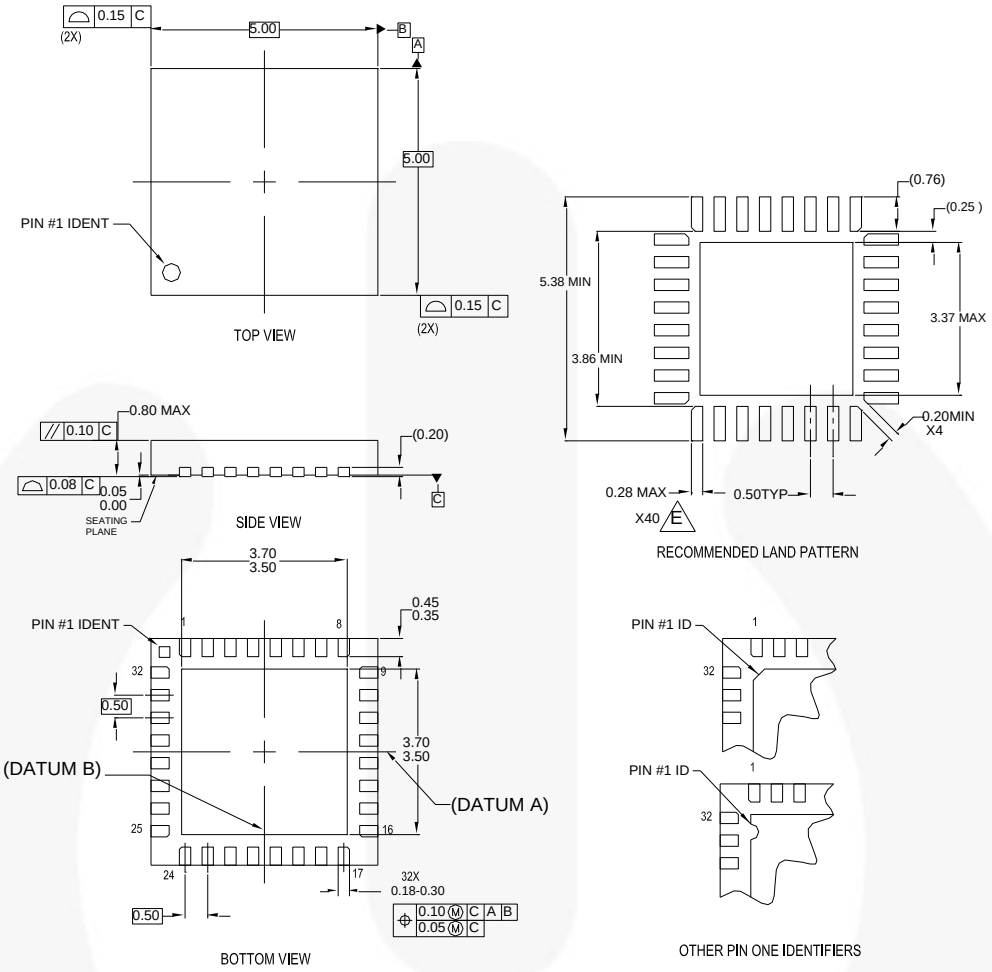




带宽	Dia A 最大值	Dim B 最小值	Dia C +0.5/-0.2	Dia D 最小值	Dim N 最小值	Dim W1 +2.0/-0	Dim W2	Dim W3 (LSL-USL)
8	330.0	1.5	13.0	20.2	178.0.	8.4	14.4	7.9 ~ 10.4
12	330.0	1.5	13.0	20.2	178.0.	12.4	18.4	11.9 ~ 15.4
16	330.0	1.5	13.0	20.2	178.0.	16.4	22.4	15.9 ~ 19.4

图 9. **BGA卷带和卷盘**

物理尺寸测试



NOTES:

A. CONFORMS TO JEDEC REGISTRATION MO-220, VARIATION WHHD-4. THIS PACKAGE IS ALSO FOOTPRINT COMPATIBLE WITH WHHD-5.

B. DIMENSIONS ARE IN MILLIMETERS.

C. DIMENSIONS AND TOLERANCES PER ASME Y14.5M-1994.

D. LAND PATTERN PER IPC SM-782.

E. WIDTH REDUCED TO AVOID SOLDER BRIDGING.

F. DIMENSIONS ARE NOT INCLUSIVE OF BURRS, MOLD FLASH, OR TIE BAR PROTRUSIONS.

G. DRAWING FILENAME: MKT-MLP32Arev3.

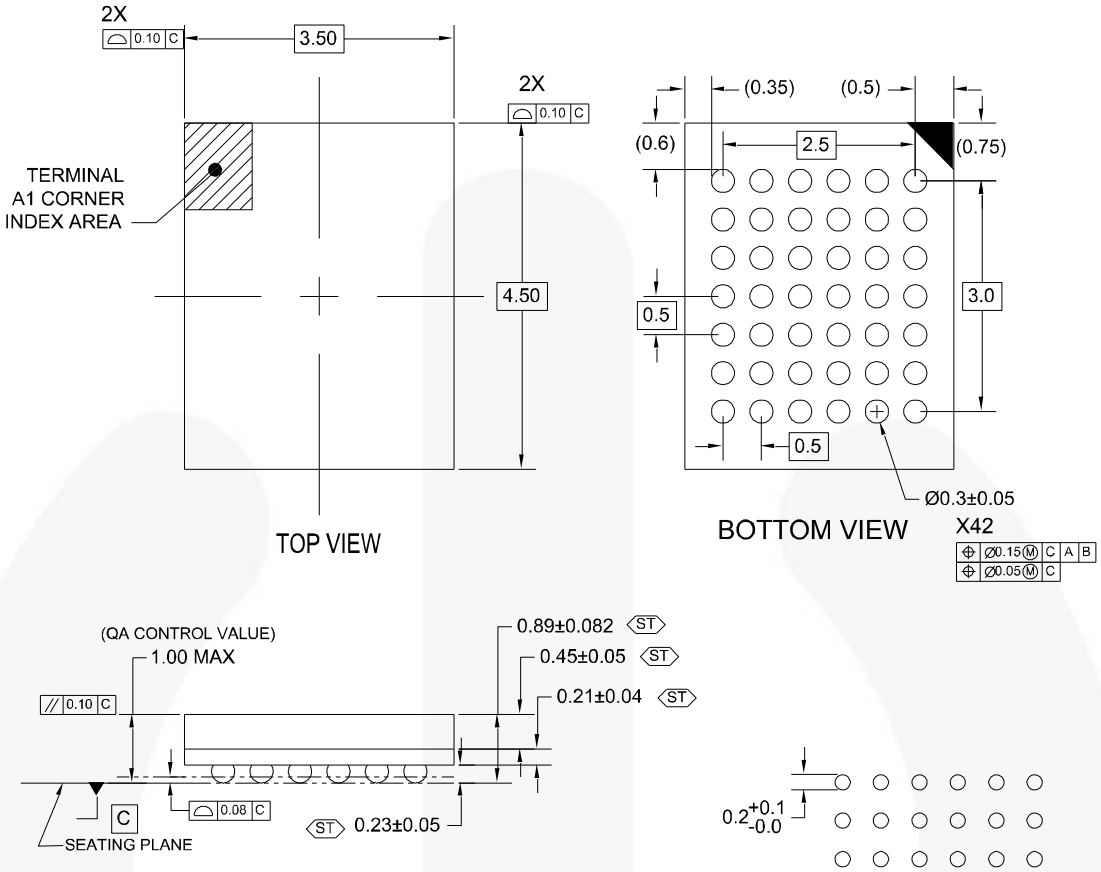
图 10. **32引脚模塑无铅封装(MLP)**

订货号	工作温度范围	封装说明	包装方法
FIN212ACMLX	-30到70° C	32端子模塑无铅封装(MLP)，四通道，JEDEC MO-220，5mm²	卷带和卷盘

封装图纸是作为一项服务而提供给考虑选用飞兆半导体产品的客户。 具体参数可进行改动，且无需做出相应通知。
请注意图纸上的版本和/或日期，并联系飞兆半导体代表核实或获得最新版本。
封装规格并不超出飞兆公司全球范围内的条款与条件，尤其指保修，保修涉及飞兆半导体的全部产品。

请经常访问飞兆半导体在线封装网页，以获取最新封装图纸。 http://www.fairchildsemi.com/packaging/.

物理尺寸（续）



NOTES:

A. CONFORMS TO JEDEC REGISTRATION MO-195,

B. DIMENSIONS ARE IN MILLIMETERS.

C. DIMENSIONS AND TOLERANCES PER
ASME Y14.5M, 1994

D. STATISTICAL TOLERANCING FOR REFERENCE
REFER TO MAX DIMENSION FOR QA INSPECTION

E. LAND PATTERN RECOMENDATION PER IPC-7351 TABLE14-15
LAND PATTERN NAME PER TABLE 3-15: BGA50P+6X7-42

BGA42ArevB

图 11. **42引脚球栅阵列(BGA)封装**

订货号	工作温度范围	封装说明	包装方法
FIN212ACGFX	-30到70° C	42引脚超小型球栅阵列(USS-BGA)，JEDEC MO-195，3.5 x 4.5mm宽，0.5mm引脚间距	卷带和卷盘

封装图纸是作为一项服务而提供给考虑选用飞兆半导体产品的客户。 具体参数可进行改动，且无需做出相应通知。
请注意图纸上的版本和/或日期，并联系飞兆半导体代表核实或获得最新版本。
封装规格并不超出飞兆公司全球范围内的条款与条件，尤其指保修，保修涉及飞兆半导体的全部产品。

请经常访问飞兆半导体在线封装网页，以获取最新封装图纸。 http://www.fairchildsemi.com/packaging/.

FAIRCHILD SEMICONDUCTOR®

TRADEMARKS

The following includes registered and unregistered trademarks and service marks, owned by Fairchild Semiconductor and/or its global subsidiaries, and is not intended to be an exhaustive list of all such trademarks.

2Cool™
AccuPower™
AX-CAP®*
BitSiC™
Build it Now™
CorePLUS™
CorePOWER™
CROSSVOLT™
CTL™
Current Transfer Logic™
DEUXPEED®
Dual Cool™
EcoSPARK®
EfficientMax™
ESBC™
Fairchild®
Fairchild Semiconductor®
FACT Quiet Series™
FACT®
FAST®
FastvCore™
FETBench™
FPS™
F-PFS™
FRFET®
Global Power Resource℠
GreenBridge™
Green FPS™
Green FPS™ e-Series™
G*max*™
GTO™
IntelliMAX™
ISOPLANAR™
Making Small Speakers Sound Louder and Better™
MegaBuck™
MICROCOUPLER™
MicroFET™
MicroPak™
MicroPak2™
MillerDrive™
MotionMax™
mWSaver™
OptoHiT™
OPTOLOGIC®
OPTOPLANAR®
PowerTrench®
PowerXS™
Programmable Active Droop™
QFET®
QS™
Quiet Series™
RapidConfigure™
Saving our world, 1mW/W/kW at a time™
SignalWise™
SmartMax™
SMART START™
Solutions for Your Success™
SPM®
STEALTH™
SuperFET®
SuperSOT™-3
SuperSOT™-6
SuperSOT™-8
SupreMOS®
SyncFET™
Sync-Lock™
SYSTEM GENERAL®*
TinyBoost™
TinyBuck™
TinyCalc™
TinyLogic®
TINYOPTO™
TinyPower™
TinyPWM™
TinyWire™
TranSiC™
TriFault Detect™
TRUECURRENT®*
µSerDes™
SerDes™
UHC®
Ultra FRFET™
UniFET™
VCX™
VisualMax™
VoltagePlus™
XS™

* Trademarks of System General Corporation, used under license by Fairchild Semiconductor.

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS. THESE SPECIFICATIONS DO NOT EXPAND THE TERMS OF FAIRCHILD'S WORLDWIDE TERMS AND CONDITIONS, SPECIFICALLY THE WARRANTY THEREIN, WHICH COVERS THESE PRODUCTS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury of the user.
2. A critical component in any component of a life support, device, or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

ANTI-COUNTERFEITING POLICY

Fairchild Semiconductor Corporation's Anti-Counterfeiting Policy. Fairchild's Anti-Counterfeiting Policy is also stated on our external website, www.fairchildsemi.com, under Sales Support.

Counterfeiting of semiconductor parts is a growing problem in the industry. All manufacturers of semiconductor products are experiencing counterfeiting of their parts. Customers who inadvertently purchase counterfeit parts experience many problems such as loss of brand reputation, substandard performance, failed applications, and increased cost of production and manufacturing delays. Fairchild is taking strong measures to protect ourselves and our customers from the proliferation of counterfeit parts. Fairchild strongly encourages customers to purchase Fairchild parts either directly from Fairchild or from Authorized Fairchild Distributors who are listed by country on our web page cited above. Products customers buy either from Fairchild directly or from Authorized Fairchild Distributors are genuine parts, have full traceability, meet Fairchild's quality standards for handling and storage and provide access to Fairchild's full range of up-to-date technical and product information. Fairchild and our Authorized Distributors will stand behind all warranties and will appropriately address any warranty issues that may arise. Fairchild will not provide any warranty coverage or other assistance for parts bought from Unauthorized Sources. Fairchild is committed to combat this global problem and encourage our customers to do their part in stopping this practice by buying direct or from authorized distributors.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative / In Design	Datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	Datasheet contains preliminary data; supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve design.
No Identification Needed	Full Production	Datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve the design.
Obsolete	Not In Production	Datasheet contains specifications on a product that is discontinued by Fairchild Semiconductor. The datasheet is for reference information only.

Rev. I64

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303−675−2175 or 800−344−3860 Toll Free USA/Canada
Fax: 303−675−2176 or 800−344−3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800−282−9855 Toll Free USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81−3−5817−1050

ON Semiconductor Website: **www.onsemi.com**

Order Literature: http://www.onsemi.com/orderlit

For additional information, please contact your local Sales Representative