Is Now Part of

ON Semiconductor®

To learn more about ON Semiconductor, please visit our website at
www.onsemi.com

Please note: As part of the Fairchild Semiconductor integration, some of the Fairchild orderable part numbers will need to change in order to meet ON Semiconductor's system requirements. Since the ON Semiconductor product management systems do not have the ability to manage part nomenclature that utilizes an underscore (_), the underscore (_) in the Fairchild part numbers will be changed to a dash (-). This document may contain device numbers with an underscore (_). Please check the ON Semiconductor website to verify the updated device numbers. The most current and up-to-date ordering information can be found at www.onsemi.com. Please email any questions regarding the system integration to Fairchild_questions@onsemi.com.

FAIRCHILD SEMICONDUCTOR®

December 2009

µSerDes™ FIN324C

支持单显示屏和双显示屏的 24 位超低功耗串行器/解串器

特性

- 超低功耗：在5.44MHz时约4mA
- 通过RGB或微控制器接口支持双显示屏实现
- 无需外部参考时钟
- 支持SPI模式
- 可作为串行器或解串器使用的单一器件
- 直接支持Motorola®风格的R/W微控制器接口
- 直接支持Intel®风格的/WE、/RE微控制器接口
- 最大选通脉冲频率为15MHz
- 使用Fairchild专有的CTL串行I/O技术
- 有BGA和MLP两种封装
- 宽并行电源电压范围：1.60至3.0V
- 低电压内核工作电压：$V_{DDS/A}$=2.5至3.0V
- 跨越对的电压转换功能，无需外部组件
- 高 ESD保护：>15kV IEC 61000
- 省电突发模式操作

应用

- 16/18位RGB手机单显示屏或双显示屏
- 具有微控制器接口的16/18位手机单显示屏或双显示屏
- 分辨率为QVGA或HVGA的手机单显示屏或双显示屏

说明

FIN324C是具有双选通脉冲输入的24位串行器/解串器。可通过主/从选择引脚(M/S)将该器件配置为主器件或从器件。这便于将同一器件用作串行器或解串器，从而将系统中的组件类型减至最低。双选通脉冲输入有利于通过单个µSerDes对实现双显示屏系统。FIN324C能够适应RGB、微控制器或SPI模式接口。当使用微控制器接口操作一个或两个显示屏时，支持读和写事务。与其他SerDes解决方案不同的是，不需要外部参考时钟。

FIN324C设计用于超低功耗操作。复位(/RES)和待机(/STBY)信号可将器件置于超低功耗状态。在待机模式中，从器件的输出将维护状态，允许系统从上次已知的状态恢复操作。

该器件使用了Fairchild专有的超低功耗、低EMI电流转换逻辑™ (CTL)技术。在事务之间禁用串行接口可将串行接口中的EMI降至最低，并节省能量。通过转换速率控制实现了CMOS并行输出缓冲器，以调节容性负载并将EMI降至最低。

相关应用注释

- *有关其他信息，请访问：*
  http://www.fairchildsemi.com/userdes
- *AN-5058 µSerDes™ 常见问题解答*
- *AN-5061 µSerDes™ 布线指导原则*
- *AN-6047 FIN324C复位和待机*

订购信息

订单号	操作 温度范围	封装说明	Eco Status	封装方法
FIN324CMLX	-30 至 85°C	40管脚模塑四方形的MLP封装，JEDEC MO-220，6平方毫米	Green	带卷
FIN324CGFX	-30 至 85°C	42球极小比例尺球栅阵列(USS-BGA)，JEDEC MO-195，宽度为3.5 x 4.5毫米，球距为0.5毫米	RoHS	带卷

For Fairchild's definition of "green" Eco Status, please visit: http://www.fairchildsemi.com/company/green/rohs_green.html.

典型应用图解

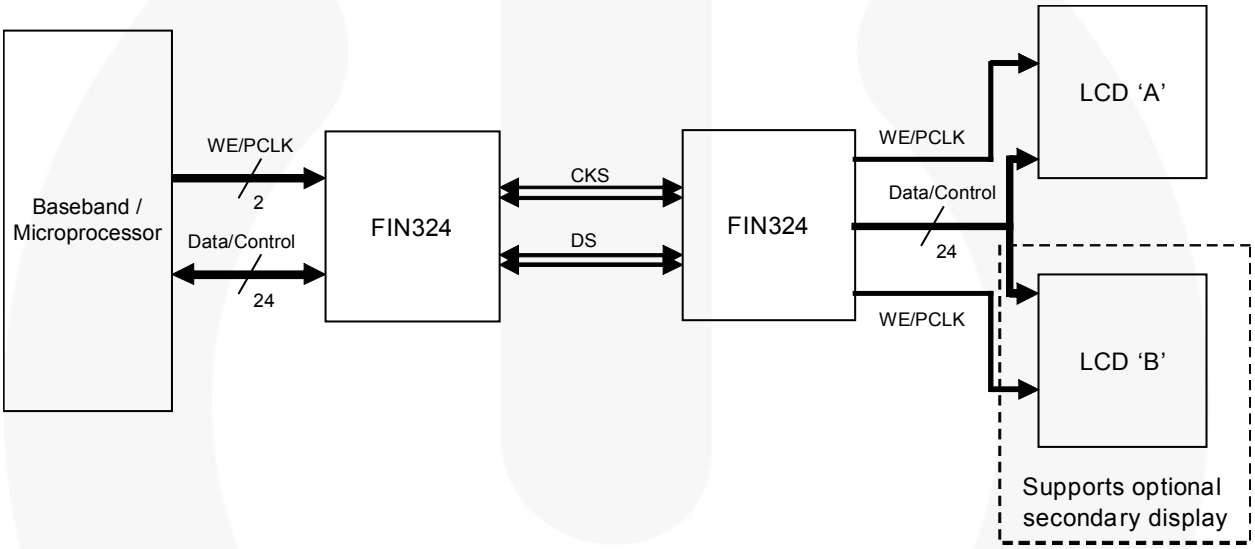


图1. 典型应用图解

引脚定义

引脚	I/O类型	引脚编号	信号说明
M/S	CMOS IN	1	主/从控制输入： 主器件连接到基带处理器， 从器件则与显示屏相连。 M/S=1 MASTER，M/S=0 SLAVE
/RES	CMOS IN	1	复位和省电信号 /RES=0：将所有电路复位并置于省电模式 /RES=1：器件已启用
/STBY	CMOS IN	1	主器件待机信号 /STBY=0：器件处于省电模式 /STBY=1：器件已启用
SLEW	CMOS IN	1	从器件输出转换速率控制 SLEW=1：信号沿变化率快 SLEW=0：信号沿变化率慢
PAR/SPI	CMOS IN	1	并行/SPI显示屏接口选择 PAR/SPI=1：并行接口 PAR/SPI=0：使用STRB0和WCLK0的SPI接口
CKSEL	CMOS IN	1	主时钟源选择输入。 CKSEL=1：STRB1和WCLK1有效 CKSEL=0：STRB0和WCLK0有效
DP[17:0]	CMOS I/O	18	并行数据I/O。 I/O方向由M/S引脚和R/W内部状态控制。 当PAR/SPI=0（仅从器件）时，DP[6] SPI模式SCLK信号引脚 当PAR/SPI=0（仅从器件）时，DP[7] SPI模式SDAT信号引脚
CNTL[5:0]	CMOS I/O	6	并行数据I/O。I/O方向由M/S引脚控制 M/S=1：输入 M/S=0：输出
R/W	CMOS I/O	1	读/写输入控制或输出信号。 M/S=1：输入 M/S=0：输出 功能操作： R/W=1：读 R/W=0：写
STRB0 STRB1	CMOS IN	2	字锁或像素时钟输入。
WCLK0 WCLK1	CMOS OUT	2	字锁或像素时钟输出。
SCLK SDAT /CS	CMOS I/O	2	SPI模式信号引脚 当M/S=1且PARI/SPI=0时，与CNTL[5]共享主SCLK输入。 当M/S=1且PARI/SPI=0时，与CNTL[4]共享主SDAT输入。 当M/S=1且PARI/SPI=0时，与STRB0共享主/CS输入。 当M/S=0且PARI/SPI=0时，与DP[6]和CNTL[5]共享从SCLK输出。 当M/S=0且PARI/SPI=0时，与DP[7]和CNTL[4]共享从SDAT输出。 当M/S=0且PARI/SPI=0时，与WCLK0共享从/CS输出。
CKS+ CKS-	差分 串行I/O	2	串行时钟差分信号(1)
DS+ DS-	差分 串行I/O	2	串行数据差分信号(1)
VDDP	电源	1	并行I/O和内部电路的电源。
VDDS	电源	1	串行I/O的电源。
VDDA	电源	1	内部位时钟发生器的电源。
GND	电源	1-3	接地引脚： BGA - C1和D2；E3仅用于供应商，必须绑定到地线。 MLP - 中心焊盘；引脚12仅用于供应商，必须绑定到地线。

注释：

1. 串行I/O信号在从器件上互换，这样主器件与从器件之间的系统走线就无需交叉了。

引脚分配

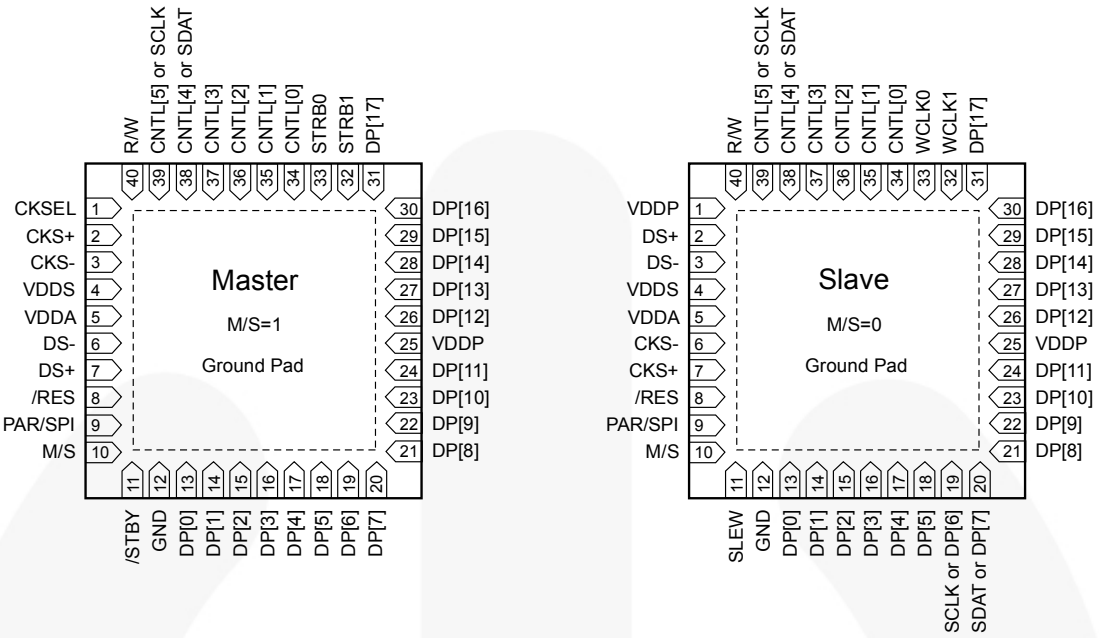
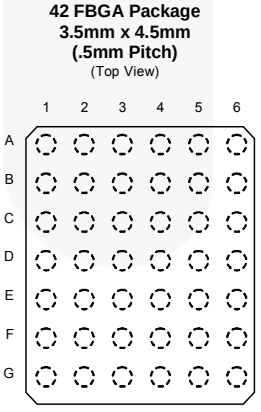


图2. MLP引脚分配（40引脚，6x6毫米，0.5毫米间距，顶部视图）



主(M/S=1)						
	1	2	3	4	5	6
A	R/W	CNTL[4]或SDAT	CNTL[2]	STROB0	DP[17]	DP[16]
B	CKSEL	CNTL[5]或SCLK	CNTL[3]	STROB1	DP[15]	DP[14]
C	GND	VDDP	CNTL[1]	CNTL[0]	DP[13]	DP[12]
D	CKS+	GND	M/S	DP[11]	DP[9]	DP[10]
E	CKS-	VDDS	GND	DP[2]	DP[7]	DP[8]
F	DS-	VDDA	PAR/SPI	DP[0]	DP[4]	DP[6]
G	DS+	/RES	/STBY	DP[1]	DP[3]	DP[5]

从(M/S=0)						
	1	2	3	4	5	6
A	R/W	CNTL[4]或SDAT	CNTL[2]	WCLK0	DP[17]	DP[16]
B	VDDP	CNTL[5]或SCLK	CNTL[3]	WCLK1	DP[15]	DP[14]
C	GND	VDDP	CNTL[1]	CNTL[0]	DP[13]	DP[12]
D	DS+	GND	M/S	DP[11]	DP[9]	DP[10]
E	DS-	VDDS	GND	DP[2]	DP[7]或SDAT	DP[8]
F	CKS-	VDDA	PAR/SPI	DP[0]	DP[4]	DP[6]或SCLK
G	CKS+	/RES	SLEW	DP[1]	DP[3]	DP[5]

图3. BGA引脚分配

系统控制引脚

(M/S)主/从选择：可根据M/S引脚的状态将给定器件配置为主器件或从器件。

表1. 主器件/从器件

M/S	配置
0	从器件模式
1	主器件模式

(PAR/SPI) SPI模式选择：PAR/SPI信号为SPI模式写操作配置STRB0(WCLK0)。STRB1(WCLK1)始终以并行模式运行。在SPI模式下控制信号CNTL[5:0]都将被传送。在SPI模式下，可使用SCLK信号选通串行器。SPI模式仅支持SPI写。

表2. 通道0 PAR/SPI配置

PAR/SPI	M/S=1主器件	M/S=0从器件
0	SPI模式 SDAT=CNTL[4] SCLK=CNTL[5] /CS=STRB0	SPI模式 SDAT=DP[7]和CNTL[4] SCLK=DP[6]和CNTL[5] /CS=WCLK0
1	并行模式	并行模式

(CKSEL)选通脉冲选择信号：CKSEL信号仅存在于主器件上，确定哪些选通脉冲信号是有效的。有效的选通脉冲信号由CKSEL和PAR/SPI输入选择。

表3. PAR/SPI

PAR/SPI	CKSEL	主器件选通脉冲源	从器件选通脉冲源
0	0	CNTL[5]	DP[6]和CNTL[5]
0	1	STRB1	WCLK1
1	0	STRB0	WCLK0
1	1	STRB1	WCLK1

(/RES, /STBY)复位和待机模式功能：复位和待机模式功能由主器件的/RES和/STBY信号状态以及从器件的/RES和内部待机检测信号状态确定。/RES控制信号有一个滤波器，可拒绝/RES上的伪脉冲。

表4. 复位和待机模式

/RES	/STBY(2)	主器件	从器件
0	X	复位模式	复位模式
1	0	待机模式	待机模式(2)
1	1	操作模式	操作模式

注释：

2. 通过从主器件发送的控制信号将从器件置于待机模式。

表5. 复位和待机模式状态

引脚	主器件 复位/待机	从器件复位	从器件待机
DP[17:0]	已禁用	低	上次的数据
CNTL[5:0]	已禁用	低	上次的数据
STRB[0:1] (WCLK[0:1])	已禁用	高	高

(SLEW)转换控制：转换控制仅在从器件模式中使用。该信号可更改DP[17:0]、CNTL[5:0]、R/W、WCLK1和WCLK0信号的信号沿变化率，以便根据被驱动的负载优化信号沿变化率。主器件读模式输出的信号沿变化率为“慢”。*有关“慢”和“快”信号沿变化率，请参见“交流解串器规格”表。*

表6. 转换速率控制

/STBY (SLEW)	从器件M/S=0
0	“慢”
1	“快”

CMOS I/O信号

系统控制信号

系统控制信号包括M/S、/RES、/STBY(SLEW)、PAR/SPI和CKSEL。为了获得连接灵活性，这些信号可容忍过电压输入，高至连接到器件的最大电源电压。这允许这些高位信号绑定到V_{DDS}或V_{DDP}电源，无需消耗静态电流。这些信号都是CMOS输入，不允许浮动。

并行I/O信号

并行数据端口信号包括DP[17:0]、CNTL[5:0]、R/W和STRB1(0)(WCLK1(0))信号。这些信号具有内置的电压转换功能，允许将主器件和从器件的信号连接到不同的V_{DDP}电源电压。

串行I/O信号

CTL I/O技术

使用Fairchild专有的差分CTL I/O技术实现串行I/O。在数据传输过程中，向串行I/O供电至约0.5V的正常操作模式。数据传输完成后，串行I/O转至约V_{DDS}的较低功耗模式。

串行I/O方向逻辑

主器件和从器件之间的串行I/O信号走线不能交叉。引脚位置已设计为避免交叉走线。请参见表7、图4和图5。

表7. 串行引脚方向

	主器件**(M/S=1)**（焊盘/引脚编号）				从器件**(M/S=0)**（焊盘/引脚编号）			
封装	CKS+	CKS-	DS-	DS+	CKS+	CKS-	DS-	DS+
MLP	2	3	6	7	7	6	3	2
BGA	D1	E1	F1	G1	G1	F1	E1	D1

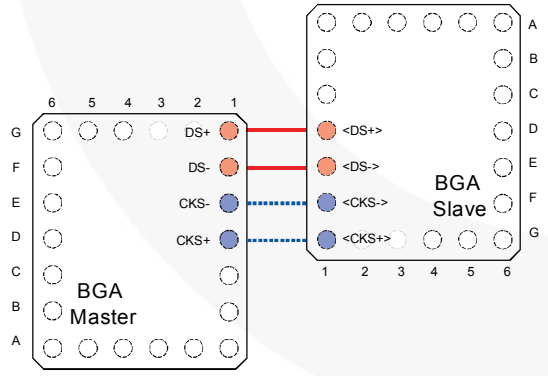


图4. BGA对

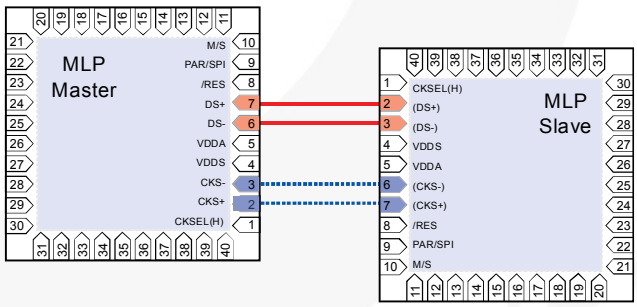


图5. MLP对

主器件/从器件读事务

读事务包含两个阶段：读控制阶段，其中，将CNTL[5:0]、R/W、CKSEL传输到解串器；读数据阶段，其中，将读取从器件的DP[17:0]信号，并将其传回主器件。从器件将生成自己的选通脉冲信号，以在数据中锁定。在WCLKn信号变为HIGH之前，从数据必须是有效的。

主串行器操作（读控制阶段）

当R/W信号确定为HIGH并且STROBE信号过渡为LOW时，读周期的读控制阶段将开始。R/W信号只能在读周期完成后才能过渡。对于读事务，只能捕获八个控制信号。在读操作过程中将忽略18个DP位。要使数据正确串行化，必须按照下列顺序执行：

1. CPU选择输入选通脉冲源（CKSEL=0或1）。
2. CPU发送信号(R/W=1, CKSEL, CNTL[5:0])。
3. CPU发送LOW STROBE信号。

从解串器操作（读控制阶段）

1. 从串行传输捕获数据。
2. 在内部将数据解码为读事务。
3. 输出控制信号，并准备DP引脚接受数据。
4. 输出WCLK脉冲的下降沿。

从串行器读操作（读数据阶段）

在操作的读控制阶段结束时启用从串行器。串行器的操作与主串行化相同，不同的是，选通脉冲信号是在内部生成的，并且只捕获数据位DP[17:0]。

1. 将器件输出数据显示在WCLK的下降沿的DP总线上。
2. 在所生成的WCLK信号的上升沿上捕获并行数据。
3. 将数据流串行化。

主解串器读操作（读数据阶段）：

1. 接收有效的串行数据流。
2. 输出数据DP[17:0]。
3. CPU确定选通脉冲信号的上升沿以捕获数据。

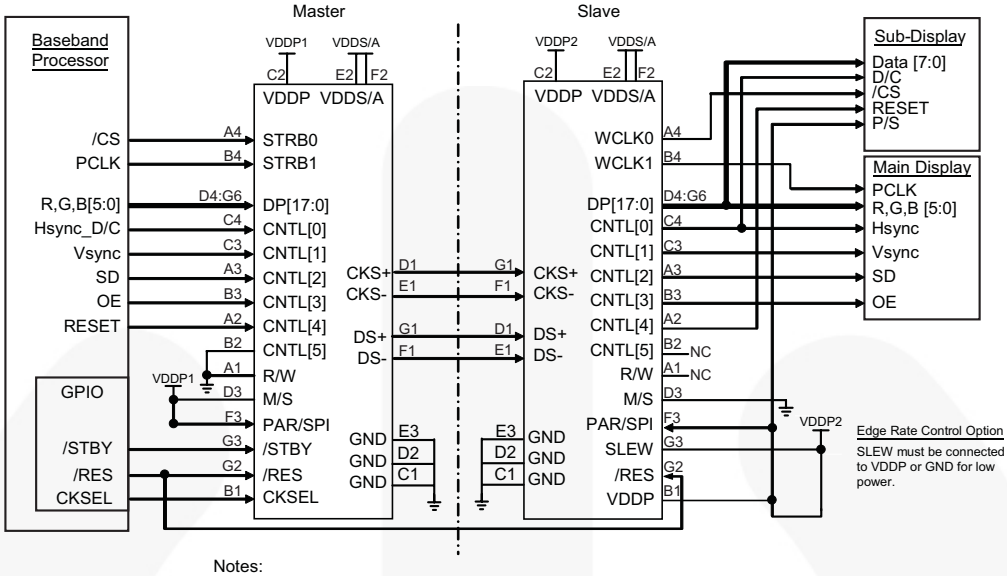
SPI写事务

SPI模式是通过在主器件和从器件上同时确定PAR/SPI信号低而激活的。只有在CKSEL=0时才会执行SPI写。在SPI事务过程中，必须将SCLK连接到CNTL[5]，并且是串行化的选通脉冲源。SDAT在CNTL[4]上，其余所有控制信号和STRB0都被串行化。STRB0必须连接到SPI模式芯片选择。

在SCLK的上升沿上，将捕获所有八个控制信号（CNTL[5:0], R/W, CKSEL）并对其进行串行化。不会发送数据信号。解串器将捕获串行数据流并将其输出到并行端口。

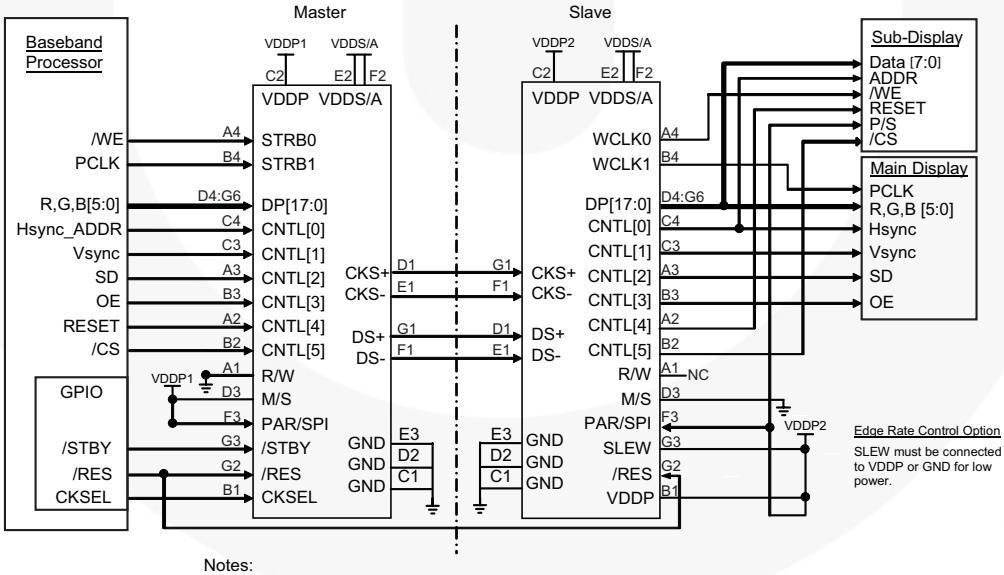
如表2所示，SDAT和SCLK在多个引脚上输出。可将DP[7]和DP[6]连接用于双模式操作的显示屏，数据引脚与SPI信号可进行多路复用。当CNTL[5]和CNTL[4]信号没有多路复用时，可使用这些信号。

应用图解



Notes:
1. Write-only Interface.
2. Unused slave output pin must be NC (No Connection).
3. /CS used to strobe sub-display data.
4. PCLK used for RGB mode.
5. Pin numbers for BGA package.

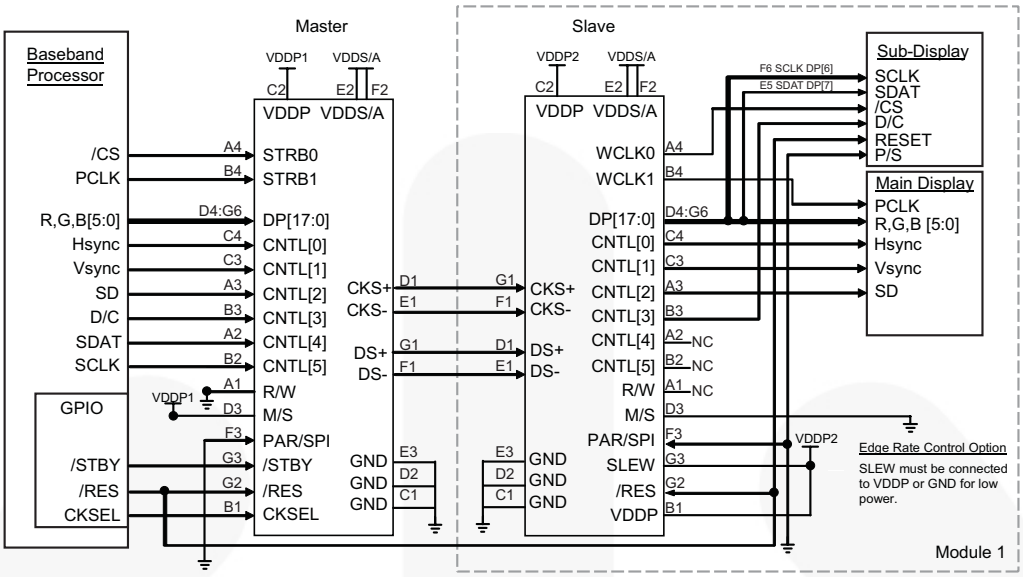
图6. 具有并行RGB主显示屏和6800型微控制器子显示屏的双显示屏



Notes:
1. Write-only Interface.
2. Unused slave output pin must be NC (No Connection).
3. /WE used to strobe sub-display data.
4. PCLK used for RGB mode.
5. Pin numbers for BGA package.

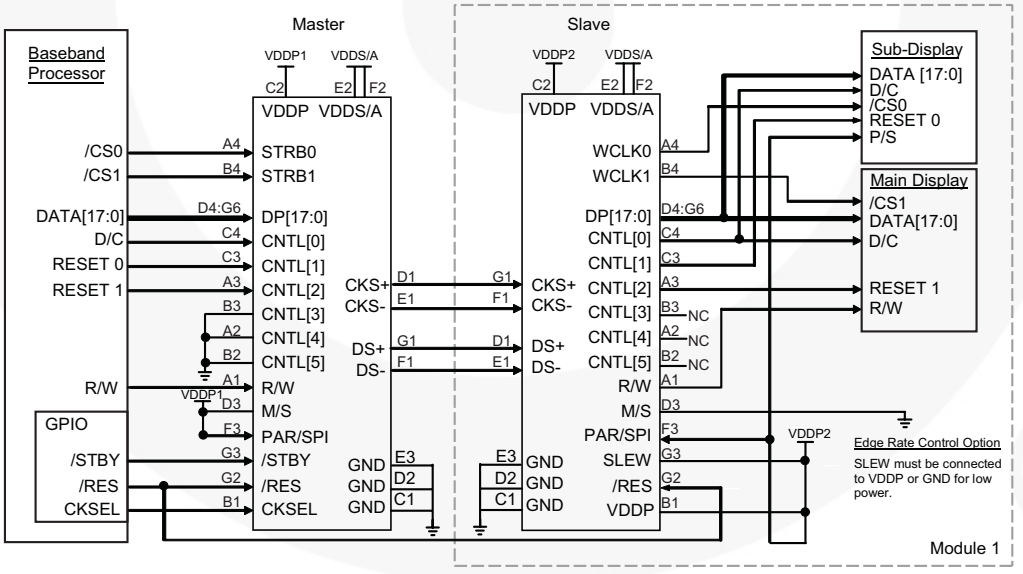
图7. 具有并行RGB主显示屏和x86型微控制器子显示屏的双显示屏

应用图解（续）



Notes:
1. Write-only interface (R/W hardwired LOW).
2. SPI sub-display interface PAR/SPI=LOW for both master and slave.
3. SCLK connected to CNTL[5]; SDAT connected to CNTL[4].
4. Shared data pin SDAT; SCLK connections on sub-display.
5. Unused slave output pin must be NC (No Connection).
6. Pin numbers for BGA package.

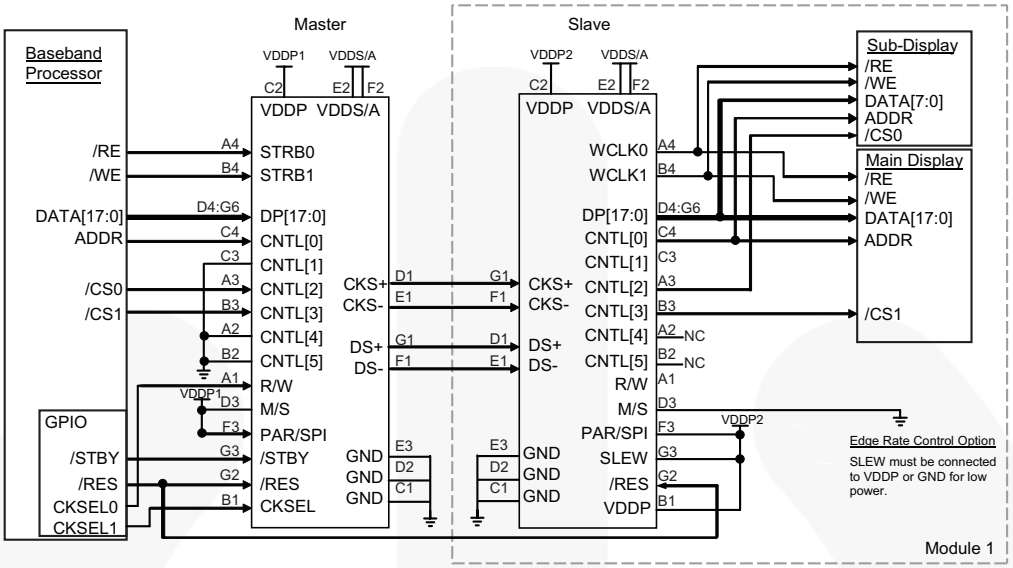
图8. 具有RGB主显示屏和SPI子显示屏接口的双显示屏



Notes:
1. R/W interface. R/W signal connected to baseband microprocessor.
2. Unused slave output pin must be NC (No Connection).
3. PAR/SPI connected HIGH to indicate parallel operation.
4. Pin numbers for BGA package.

图9. 具有并行微控制器主显示屏和子显示屏的R/W双显示屏

应用图解（续）



Notes:
1. Dual display R/W Intel® interface.
2. Unused slave output pin must be NC (No Connection).
3. GPIO signal used to select READ or WRITE functionality. Connected to CKSEL and R/W.
4. Displays selected via the chip selects.
5. Pin numbers for BGA package.

图10. 双R/W x86型微控制器显示屏接口

其他应用信息

柔性线路：以高串行速率传输串行I/O信息。在实现此串行I/O柔性电缆时须谨慎。在开发柔性线路或柔性PCB时应使用以下最佳做法。

- 使所有四个差分串行线的长度保持相同。
- 不允许噪声信号越过或接近差分串行线。
  示例：CMOS不允许走线越过差分串行线。
- 在整个差分串行线全程，仅使用一个接地层或接地走线。在顶层和底层同时铺地。
- 设计目标为100欧姆差分特性阻抗。
- 不要将测试点放在差分串行线上。
- 在距离天线最短2厘米的距离使用差分串行线。
- 有关应用说明或柔性线路指导原则，请访问Fairchild的网站，地址是 http://www.fairchildsemi.com/products/interface/userdes.html，与您的销售代表联系，或致信 interface@fairchildsemi.com直接与Fairchild联系。

绝对最大额定值

如果应力超过绝对最大额定值，则可能会损坏该器件。如果超过建议的操作条件，该器件可能不工作或无法操作，建议不要使器件应力超过这些级别。此外，如果应力施加过度而超过建议的操作条件，可能会影响器件的可靠性。绝对最大额定值仅为应力额定值。

符号	参数		最小值	最大值	单位
V_{DD}	电源电压		-0.5	+3.6	V
	所有输入/输出电压		-0.5	V_{DDP}+0.5	V
T_{STG}	储存温度范围		-65	+150	°C
T_J	最高结温			+150	°C
T_L	管脚温度（焊接，四秒）			+260	°C
ESD	IEC 61000板电平			15	kV
	人体模型, JESD22-A114	所有其他引脚		7.5	kV
		串行I/O, /RES, PAR/SPI to GND		14.0	

建议操作条件

建议操作条件表定义实际的器件操作条件。指定建议操作条件的目的是确保数据表规格的最佳性能。Fairchild建议不要超过这些规格，或不要设计为绝对最大额定值。

符号	参数	最小值	最大值	单位
V_{DDA}, V_{DDS}(3)	电源电压	2.5	3.0	V
V_{DDP}	电源电压	1.6	$V_{DDA/S}$	V
T_A	操作温度	-30	+85	°C

注释：

3. V_{DDA}和V_{DDS}电源必须共同硬连接到相同的电源。V_{DDP}必须小于或等于V_{DDA}/V_{DDS}。

电气规格

下列值对超电源电压和操作温度范围有效，除非另有指定。

符号	参数	测试条件		最小值	典型值	最大值	单位
直流并行I/O和串行特性							
V_{IH}	输入高电压			0.7 x V_{DDP}		V_{DDP}	V
V_{IL}	输入低电压			GND		0.3 x V_{DDP}	V
V_{OH}	输出高电压	SLEW=0 I_{OH}=-250µA		0.8 x V_{DDP}			V
		SLEW=1 I_{OH}=-1mA					
V_{OL}	输出低电压	SLEW=0 I_{OL}=250µA				0.2 x V_{DDP}	V
		SLEW=1 I_{OL}=1mA					
I_{IN}	输入电流			-5		5	µA
V_{GO}	串行输入电压接地偏移	从器件相对于主器件			0		V
Z	串行传输线阻抗			70	100	120	Ω
电源特性							
I_{DYN_SER}	主器件的动态电流	$V_{DDA/S}$=2.75V，M/S=1，V_{DDP}=1.8V，/STBY=1，/RES=1	5.44MHz		4		mA
			12.00MHz		7		
			15.00MHz		8		
I_{DYN_DES}	从器件的动态电流	$V_{DDA/S}$=2.75V, M/S=0 V_{DDP}=1.8V，/STBY=1，/RES=1，C_L=0pF	5.44MHz		5		mA
			12.00MHz		8		
			15.00MHz		10		
I_{BRST_M}	主器件的突发待机电流	$V_{DDA/S}$=2.75V，V_{DDP}=1.8V，M/S=1，/STBY=1，/RST=1，无STROBE信号，C_L=0pF			1.3		mA
I_{BRST_S}	从器件的突发待机电流	$V_{DDA/S}$=2.75V，V_{DDP}=1.8V，M/S=0，/STBY=1，/RST=1，无STROBE信号，C_L=0pF			1.8		mA
I_{STBY}	待机电流	串行器或解串器$V_{DDS/A}$=V_{DDP}=3.0V，/STBY=0, /RST=1				10	µA
I_{RES}	复位电流	串行器或解串器$V_{DDS/A}$=V_{DDP}=3.0V，/RST=0				10	µA
交流操作特性							
f_{WSTRB0}	写选通脉冲频率	CKSEL=0 STRB0		0		8	MHz
f_{WSTRB1}	写选通脉冲频率	CKSEL=1 STRB1		0		15	MHz
f_{RSTRB}	读选通脉冲频率			0		2	MHz
t_R, t_F	输入信号沿变化率(4)					40	ns
t_{S1}	写模式设置时间	STRBn ↑之前的DP，图11		5			ns
t_{H1}	写模式保留时间	STRBn ↑之后的DP，图11		15			ns
t_{S2}	读模式设置时间	STRBn ↓之前的R/W，CNTL 图12		0			ns
t_{H2}	读模式保留时间	STRBn ↓之后的R/W，CNTL 图12		16			ns
t_{S-STRB}	CKSEL至STRBn设置时间	有效信号缘STRBn(5)之前的CKSEL，SPI /CS之前的CKSEL，CKSEL之前的SPI /CS 图13，图14		50			ns

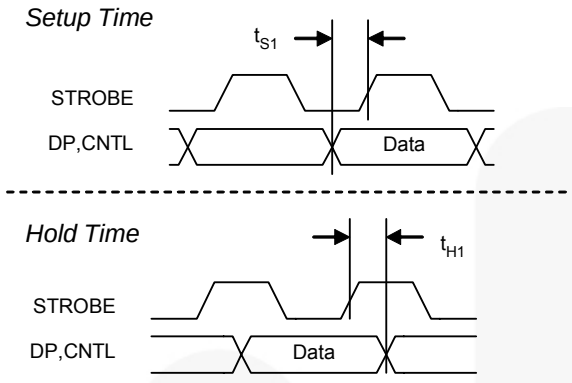
符号	参数	测试条件	最小值	典型值	最大值	单位
交流解串器规格						
t_{R0}, t_{F0}	WCLK0,WCLK1的输出信号沿变化率	SLEW=0，CL=5pF 20%至80%(4)	8		17	ns
		SLEW=1，C_L=5pF 20%至80%(4)			10	
t_{R1}, t_{F1}	R/W、DP[17:0] CNTL[5:0]的输出信号沿变化率	SLEW=0，CL=5pF 20%至80%(4)	8		22	ns
		SLEW=1，C_L=5pF 20%至80%(4)			17	
t_{CS}	CNTL[5:0],R/W至WCLKn的下降沿	M/S=0(6)，C_L=5pF 50%至50%(4) 图15	0	4		ns
$t_{PDV-WR0}$	DP、CNTL至WCLK0 ↑	PAR/SPI=1(6)，图15	50	60		ns
$t_{PDV-WR1}$	DP、CNTL至WCLK1 ↑	PAR/SPI=1(6)，图15	18	24		ns
t_{PDV-RD}	CNTL至WCLKn ↑	PAR/SPI=1(6)，图17	200	224		ns
$t_{PDV-SPI}$	数据、CNTL 至SCLK ↑	PAR/SPI=0(6)，图16	40	60		ns
$t_{PWL-WR0}$	WCLK0脉冲宽度低；写模式	M/S=0，R/W=0，PAR/SPI=1(6,7) 图15	50	56		ns
$t_{PWL-WR1}$	WCLK1脉冲宽度低；写模式	M/S=0，R/W=0，PAR/SPI=1(6,7) 图15	18	20		ns
t_{PWL-RD}	WCLK的脉冲宽度低；读模式	M/S=0，R/W=1，PAR/SPI=1(6,7) 图17	200	220		ns
$t_{PWL-SPI}$	WCLK的脉冲宽度的；SPI模式	M/S=0，R/W=0，PAR/SPI=0(6,7) 图16	40	56		ns
交流数据延迟						
t_{PD-WR0}	写延迟	WRITE模式，CKSEL=0(8,9,10) 图15		147		ns
t_{PD-WR1}	写延迟	WRITE模式，CKSEL=1(8,9,10) 图15		111		ns
t_{PD-RD}	读总延迟	READ模式(8,10,11) 图17		340	480	ns
t_{PD-RDC}	读控制延迟	READ模式(8,10,12) 图17		276		ns
t_{PD-RDD}	读数据延迟	READ模式(8,10,13) 图17		84		ns
t_{PD-SPI}	SPI 写延迟	SPI-WRITE模式(8,10,14) 图16		115		ns
交流振荡器规格						
f_{OSC}	串行操作频率		240	275	310	MHz
$t_{OSC-STBY}$	待机后的振荡器稳定时间	V_{DDA}=V_{DDS}=2.75V /RES=1，/STBY ↑过渡		15	30	µs
$t_{OSC-RES}$	复位后的振荡器稳定时间	V_{DDA}=V_{DDS}=2.75V /STBY=1，/RES ↑过渡		30	50	µs
交流复位和待机时序						
$t_{VDD-OFF}$	与/RES相关的省电(15)	图19	20			µs
$t_{STRB-RES}$	上次STRBn ↑之后的/RES	M/S=1，/STBY=1，R/W=0(16) 图19	0			ns
$t_{STRB-STBY}$	上次选通脉冲之后的待机时间	M/S=1，/STBY=1(17) 图19	200			ns
$t_{RES-OFF}$	主/从器件复位禁用时间	M/S=1 /STBY=1，/RES=↓ 图19		15	20	µs

符号	参数	测试条件	最小值	典型值	最大值	单位
$t_{VDD-SKEW}$	V_{DDP}和$V_{DDA/S}$之间允许的斜度 (18)	图18	-∞		+∞	ms
$t_{VDD-RES}$	V_{DD}稳定之后的最短复位低时间	M/S=0，/RES=↑(19) 图18	20			µs
$t_{RES-STBY}$	/RES ↑之后的/STBY等待时间	M/S=1 /RES=1，/STBY=↑ 图18	20			µs
t_{DVALID}	/STBY至有效的选通脉冲信号沿	M/S=0 /RES=1(20) 图18	30			µs

注释：

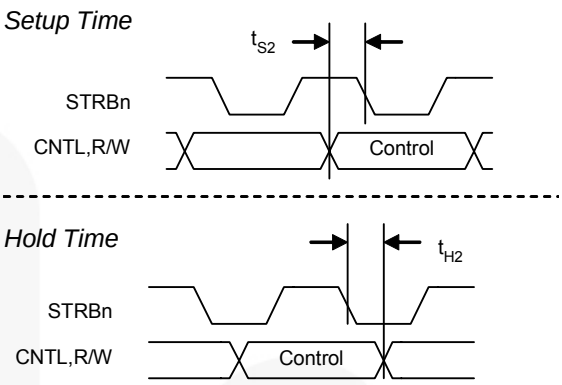
4. 已特性化，但未经过生产测试。
5. 选通脉冲的有效信号沿是写事务的上升沿和读事务的下降沿。
6. 通过串行时钟频率以及串行数据位测试进行非直接测试。
7. 脉冲宽度低WCLKn测量结果是在30%的V_{DDP}条件下测量得到的。当SLEW=0或SLEW=1时，测量结果适用。
8. 时间越短，振荡器频率就越高。时间越长，振荡器频率就越低。
9. 写延迟是通过主串行器和从解串器的延迟时间、跨越柔性电缆的时间和I/O传播延迟时间的总和。
10. 假设通过柔性电缆和I/O的传播延迟为20ns。
11. 读延迟总时间t_{PD-RD}是读控制阶段延迟(t_{PD-RDC})和读数据阶段延迟(t_{PD-RDD})的总和。$t_{PD-RD}=t_{PD-RDC}+ t_{PD-RDD}$。
12. 读控制延迟是通过主串行器和从解串器的延迟时间、跨越柔性电缆的时间和I/O传播延迟时间的总和。
13. 读数据延迟是通过从串行器和主解串器的延迟时间、跨越柔性电缆的时间和I/O传播延迟时间的总和。
14. SPI写延迟是通过主串行器和从解串器的延迟时间、越过柔性电缆的时间和I/O传播延迟时间的总和。
15. **能够**允许器件在进入省电模式之前完全复位的时间。
16. 内部复位滤波器允许在读或写数据传输完成之前进行确定。
17. 可确保在转到待机状态之前完成上次写事务的时间。
18. $V_{DDA/S}$必须同时供电。V_{DDP}可以相对于$V_{DDA/S}$的任何顺序供电，无需消耗静态电量。通过特性化保证。
19. 当电源转为HIGH之后，/RES信号应在指定的最短时间内保持低状态。建议使/RES在电源启动过程中保持低状态。
20. STRBn必须保持断开状态，直到内部振荡器稳定为止。

典型性能特性



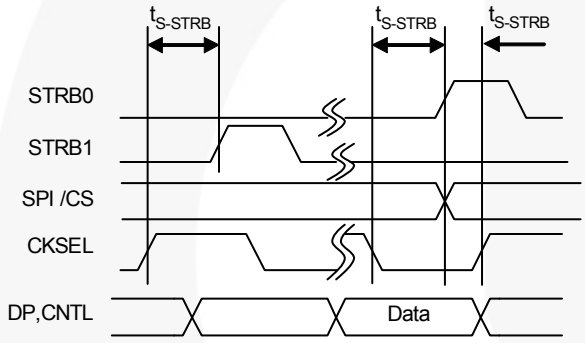
Setup: CKSEL=0 or 1, R/W=0

图11. 主器件写设置和保留时间



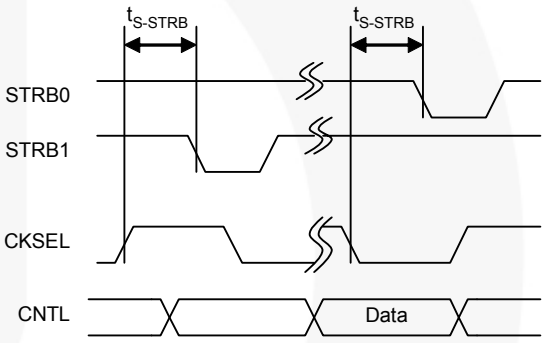
Setup: CKSEL=0 or 1, R/W=1

图12. 主器件读设置和保留时间



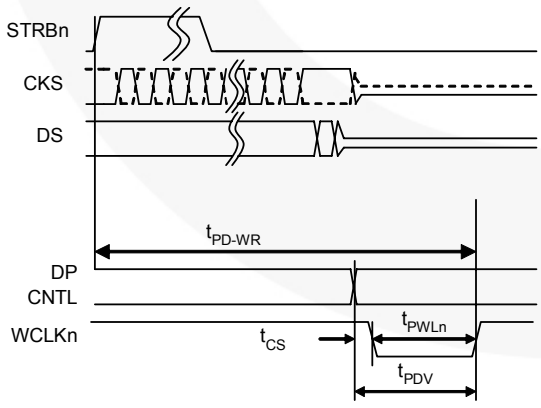
Setup: CKSEL=0 or 1, R/W=0

图13. CKSEL写设置时间



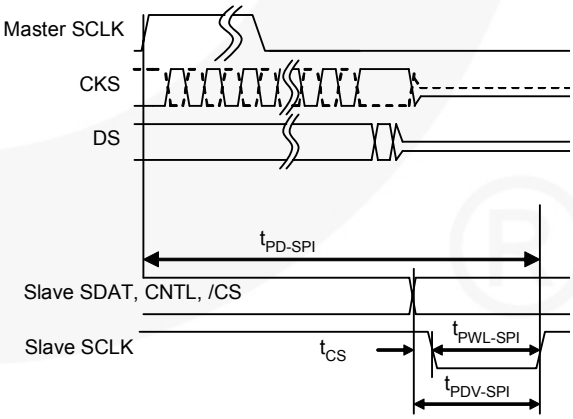
Setup: CKSEL=0 or 1, R/W=1

图14. CKSEL读设置时间



Setup: CKSEL=0 or 1, R/W=0, PAR/SPI=1

图15. 从器件写模式时序



Setup: CKSEL=0, R/W=0, PAR/SPI=0, /CS=0

图16. 从器件SPI模式时序

典型性能特性（续）

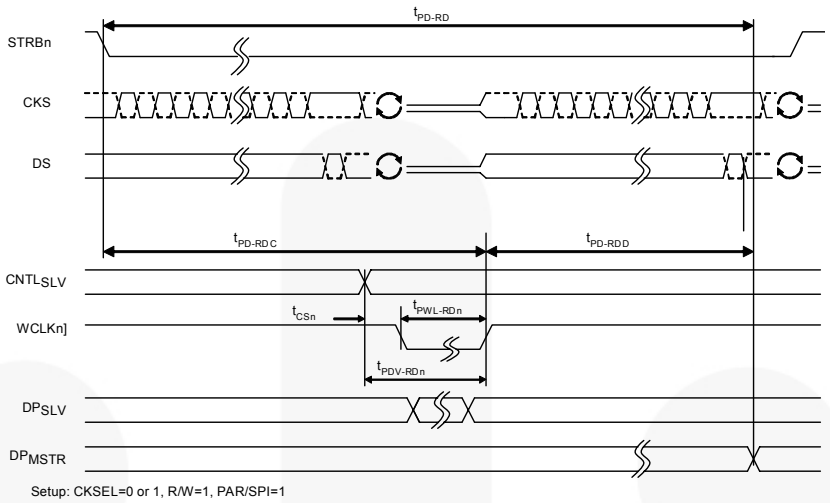


图17. 从器件读模式时序

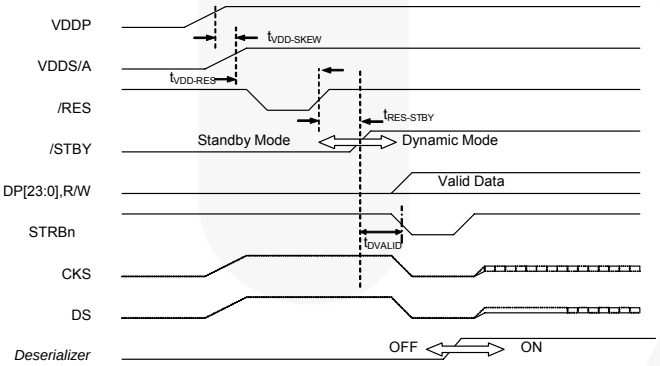


图18. 供电时序

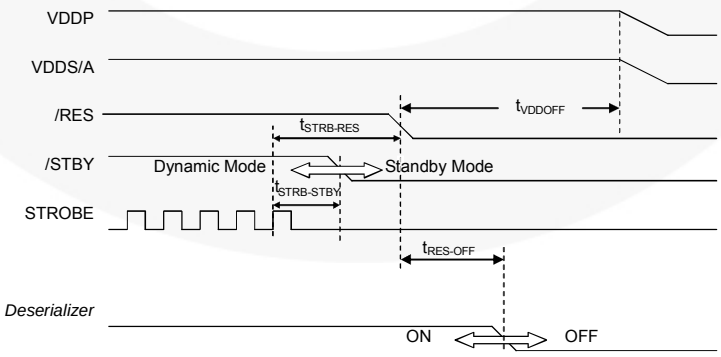
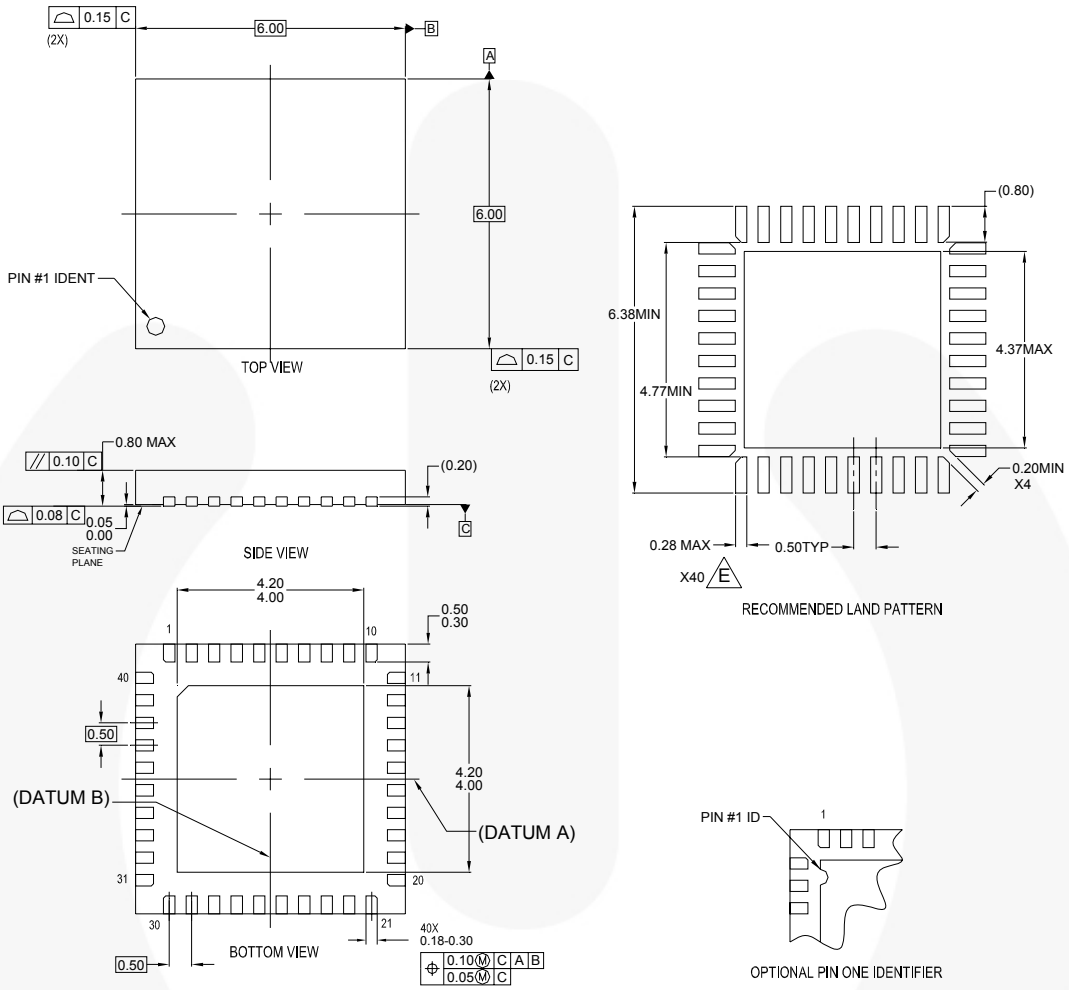


图19. 省电时序

物理尺寸



NOTES:

A. CONFORMS TO JEDEC REGISTRATION MO-220, VARIATION WJJD-2 WITH EXCEPTION THAT THIS IS A SAWN VERSION..

B. DIMENSIONS ARE IN MILLIMETERS.

C. DIMENSIONS AND TOLERANCES PER ASME Y14.5M-1994.

D. LAND PATTERN PER IPC SM-782.

E. WIDTH REDUCED TO AVOID SOLDER BRIDGING.

F. DIMENSIONS ARE NOT INCLUSIVE OF BURRS, MOLD FLASH, OR TIE BAR PROTRUSIONS.

G. DRAWING FILENAME: MKT-MLP40Arev3.

图20. 40管脚，模塑型MLP封装

Package drawings are provided as a service to customers considering Fairchild components. Drawings may change in any manner without notice. Please note the revision and/or date on the drawing and contact a Fairchild Semiconductor representative to verify or obtain the most recent revision. Package specifications do not expand the terms of Fairchild's worldwide terms and conditions, specifically the warranty therein, which covers Fairchild products.

Always visit Fairchild Semiconductor's online packaging area for the most recent package drawings:
http://www.fairchildsemi.com/packaging/.

物理尺寸（续）

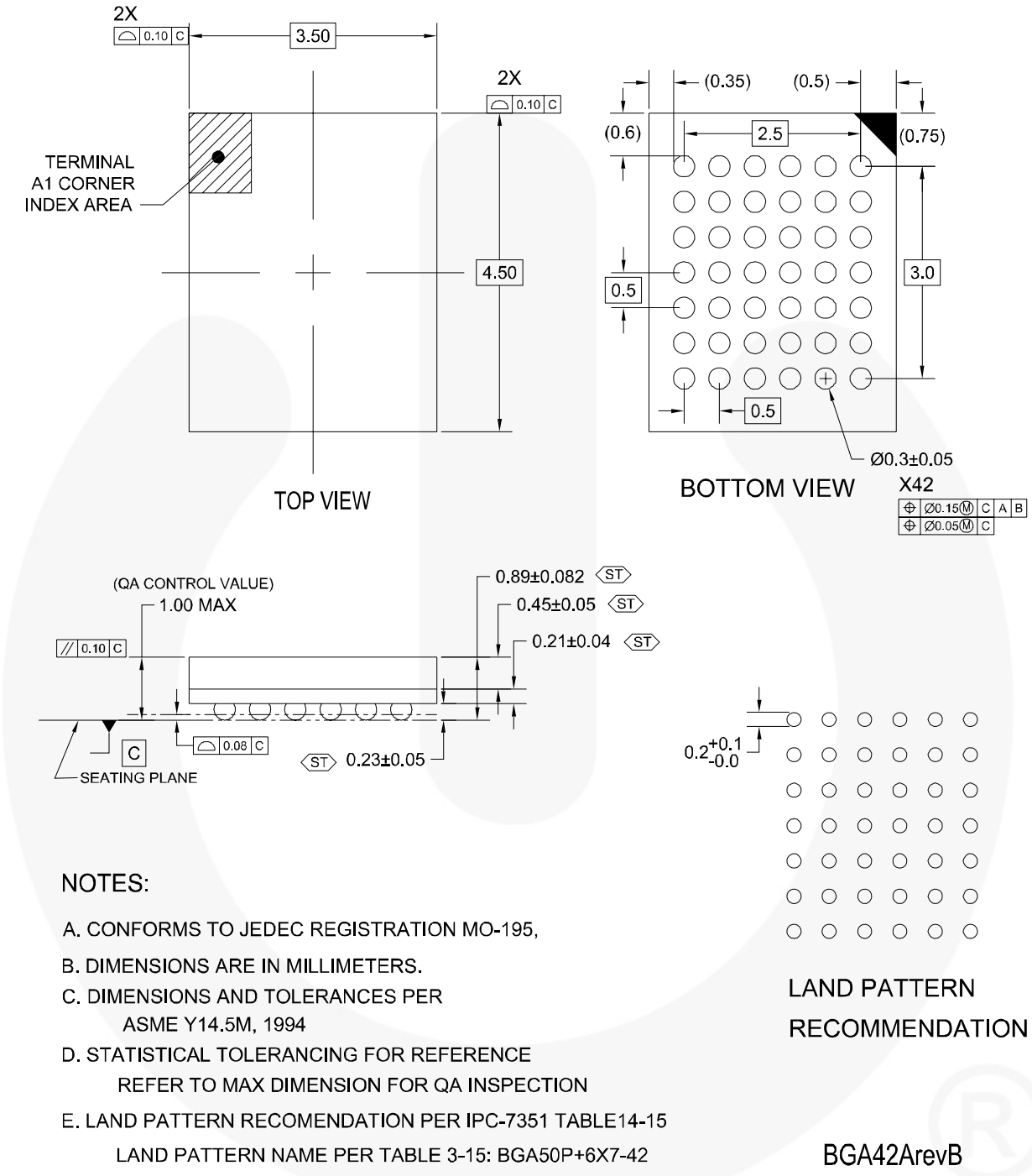


图21. 42球，球栅阵列(BGA)封装

Package drawings are provided as a service to customers considering Fairchild components. Drawings may change in any manner without notice. Please note the revision and/or date on the drawing and contact a Fairchild Semiconductor representative to verify or obtain the most recent revision. Package specifications do not expand the terms of Fairchild's worldwide terms and conditions, specifically the warranty therein, which covers Fairchild products.

Always visit Fairchild Semiconductor's online packaging area for the most recent package drawings:
http://www.fairchildsemi.com/packaging/.

FAIRCHILD SEMICONDUCTOR®

TRADEMARKS

The following includes registered and unregistered trademarks and service marks, owned by Fairchild Semiconductor and/or its global subsidiaries, and is not intended to be an exhaustive list of all such trademarks.

AccuPower™
Auto-SPM™
Build it Now™
CorePLUS™
CorePOWER™
CROSSVOLT™
CTL™
Current Transfer Logic™
DEUXPEED®
Dual Cool™
EcoSPARK®
EfficientMax™
EZSWITCH™*
E²CMOS™*
F®
Fairchild®
Fairchild Semiconductor®
FACT Quiet Series™
FACT®
FAST®
FastvCore™
FETBench™
FlashWriter®*
FPS™
F-PFS™
FRFET®
Global Power Resource℠
Green FPS™
Green FPS™ e-Series™
Gmax™
GTO™
IntelliMAX™
ISOPLANAR™
MegaBuck™
MICROCOUPLER™
MicroFET™
MicroPak™
MicroPak2™
MillerDrive™
MotionMax™
Motion-SPM™
OptoHiT™
OPTOLOGIC®
OPTOPLANAR®
PDP SPM™
Power-SPM™
PowerTrench®
PowerXS™
Programmable Active Droop™
QFET®
QS™
Quiet Series™
RapidConfigure™
™
Saving our world, 1mW/W/kW at a time™
SignalWise™
SmartMax™
SMART START™
SPM®
STEALTH™
SuperFET™
SuperSOT™-3
SuperSOT™-6
SuperSOT™-8
SupreMOS™
SyncFET™
Sync-Lock™
SYSTEM GENERAL®*
The Power Franchise®
the power franchise
TinyBoost™
TinyBuck™
TinyCalc™
TinyLogic®
TINYOPTO™
TinyPower™
TinyPWM™
TinyWire™
TriFault Detect™
TRUECURRENT™*
µSerDes™
µSerDes
UHC®
Ultra FRFET™
UniFET™
VCX™
VisualMax™
XS™

* Trademarks of System General Corporation, used under license by Fairchild Semiconductor.

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS. THESE SPECIFICATIONS DO NOT EXPAND THE TERMS OF FAIRCHILD'S WORLDWIDE TERMS AND CONDITIONS, SPECIFICALLY THE WARRANTY THEREIN, WHICH COVERS THESE PRODUCTS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury of the user.
2. A critical component in any component of a life support, device, or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

ANTI-COUNTERFEITING POLICY

Fairchild Semiconductor Corporation's Anti-Counterfeiting Policy. Fairchild's Anti-Counterfeiting Policy is also stated on our external website, www.fairchildsemi.com, under Sales Support.

Counterfeiting of semiconductor parts is a growing problem in the industry. All manufacturers of semiconductor products are experiencing counterfeiting of their parts. Customers who inadvertently purchase counterfeit parts experience many problems such as loss of brand reputation, substandard performance, failed applications, and increased cost of production and manufacturing delays. Fairchild is taking strong measures to protect ourselves and our customers from the proliferation of counterfeit parts. Fairchild strongly encourages customers to purchase Fairchild parts either directly from Fairchild or from Authorized Fairchild Distributors who are listed by country on our web page cited above. Products customers buy either from Fairchild directly or from Authorized Fairchild Distributors are genuine parts, have full traceability, meet Fairchild's quality standards for handling and storage and provide access to Fairchild's full range of up-to-date technical and product information. Fairchild and our Authorized Distributors will stand behind all warranties and will appropriately address any warranty issues that may arise. Fairchild will not provide any warranty coverage or other assistance for parts bought from Unauthorized Sources. Fairchild is committed to combat this global problem and encourage our customers to do their part in stopping this practice by buying direct or from authorized distributors.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative / In Design	Datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	Datasheet contains preliminary data; supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve design.
No Identification Needed	Full Production	Datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve the design.
Obsolete	Not In Production	Datasheet contains specifications on a product that is discontinued by Fairchild Semiconductor. The datasheet is for reference information only.

Rev. I46

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303−675−2175 or 800−344−3860 Toll Free USA/Canada
Fax: 303−675−2176 or 800−344−3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800−282−9855 Toll Free USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81−3−5817−1050

ON Semiconductor Website: **www.onsemi.com**

Order Literature: http://www.onsemi.com/orderlit

For additional information, please contact your local Sales Representative