

I²C 应用的双电源 2-位电平转换器 /缓冲器/重复器/隔离器

FXMA2102

说明

FXMA2102是一种高性能可配置的双电压源转换器,支持宽范围输入与输出电压电平的双向电平转换。

旨在为兼容 I²C-Bus的主机和从机提供电压转换。

该器件是专为A端口跟踪 V_{CCA} 电平, B 端口跟踪 V_{CCB} 电平而设计的。从而可以在 1.65 V 至 5.5 V 的任意两个电平之间进行双向 A/B 端口电压转换。从 1.65 V 至 5.5 V, V_{CCA} 可等于 V_{CCB}。OE 引脚由 V_{CCA} 供电。

任一V_{CC}都可以先行上电。如果取消任一V_{CC}电压,则内部掉电控制电路会将该器件置于3态模式中。

该器件的两个端口具有自动检测方向的功能。任一端口都可以检测输入信号,并将其作为输出信号传输至其他端口。

产品特性

- 介于任意两个电平之间的双向接口: 1.65 V 至 5.5 V
- 无需方向控制
- OE 连接到 V_{CCA} 时,无需系统 GPIO资源。
- I²C 400 pF缓冲器/中继器
- I²C 总线隔离
- A/B 端 V_{OL} = 175 mV (典型值), V_{IL} = 150 mV, I_{OL} = 6 mA
- 开漏输入/输出
- 适应标准模式和快速模式 I²C-总线设备
- 支持 I²C 时钟延展和多个主机
- 完全可配置: 输入和输出跟踪 V_{CC}
- 参考 V_{CCA} 的控制输入(OE)。
- 非优先上电,任一V_{CC}可以先行上电
- 如果任一V_{CC}接地,各输出转变为3态
- 容许的输出启用开启: 5 V
- 采用8引脚无铅 MicroPak™ (1.6 mm x 1.6 mm) 和超薄 MLP (1.2 mm x 1.4 mm) 封装
- ESD 保护超出:
 - ◆ 5 kV HBM ESD (符合 JESD22-A114)
 - ◆ 2 kV CDM (符合 JESD22-C101)

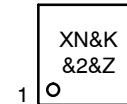


UQFN8, 1.4x1.2, 0.4P
CASE 523AS



UQFN8 1.6X1.6, 0.5P
CASE 523AY

MARKING DIAGRAM



- XN = Device Code
&K = 2-Digits Lot Run Traceability Code
&2 = 2-Digit Date Code
&Z = Assembly Plant Code

ORDERING INFORMATION

See detailed ordering and shipping information on page 13 of this data sheet.

FXMA2102

框图

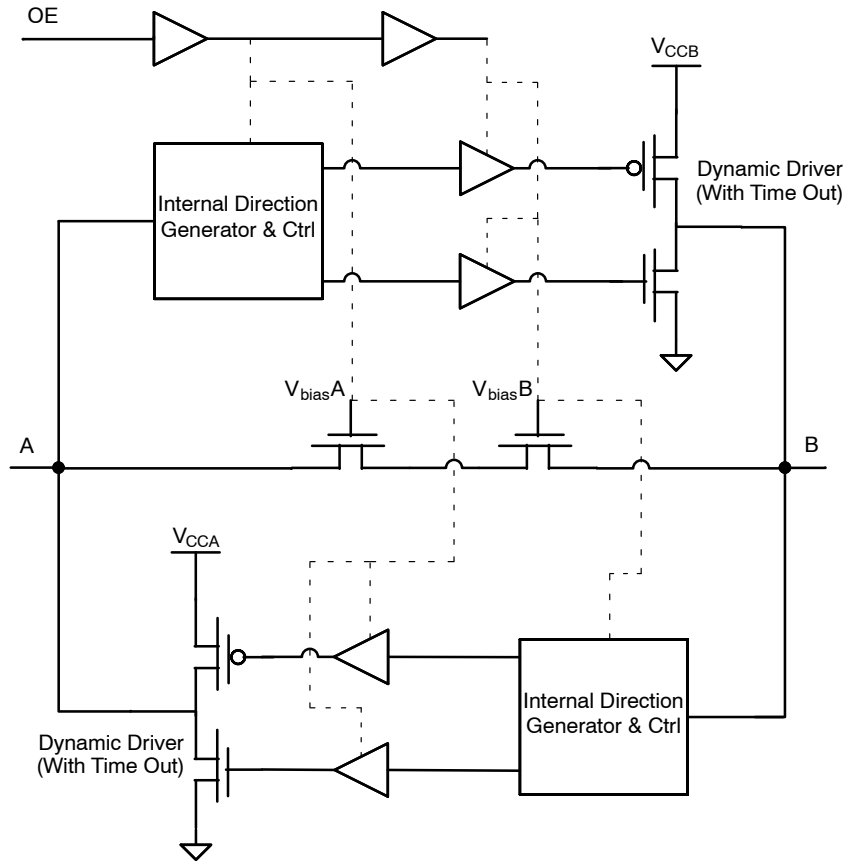


图 1. 框图，双通道之一

FXMA2102

引脚布局

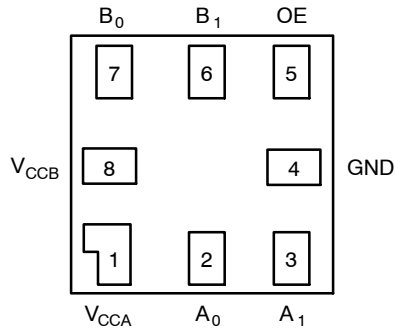


图 2. MicroPak (顶视图)

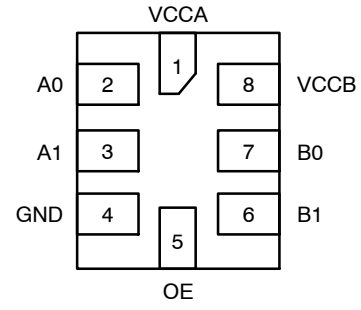


图 3. UMLP (顶视图)

引脚说明

引脚号	名称	说明
1	V _{CCA}	A 端电源
2, 3	A ₀ , A ₁	A 端输入或 3态输出
4	GND	接地
5	OE	输出使能输入 (由 V _{CCA} 供电)
6, 7	B ₁ , B ₀	B 端输入或 3态输出
8	V _{CCB}	B 端电源

真值表

控制	输出
OE	
低逻辑电平	3态
高逻辑电平	正常操作

1. 如果OE引脚驱动为低, 则FXMA2102被禁用, A₀、A₁、B₀ 和 B₁ 引脚 (包括动态驱动器) 强制进入三态。

FXMA2102

绝对最大额定值

符号	参数		最小值	最大值	单位
V_{CCA}, V_{CCB}	电源电压		-0.5	7.0	V
V_{IN}	DC 输入电压	A 端口	-0.5	7.0	V
		B 端口	-0.5	7.0	
		控制输入 (OE)	-0.5	7.0	
V_O	输出电压 (说明 2)	A_n 输出 3 态	-0.5	7.0	V
		B_n 输出 3 态	-0.5	7.0	
		A_n 输出有效	-0.5	$V_{CCA} + 0.5 V$	
		B_n 输出有效	-0.5	$V_{CCB} + 0.5 V$	
I_{IK}	直流输入二极管电流	$V_{IN} < 0 V$ 时	-	-50	mA
I_{OK}	DC 输出二极管电流	$V_O < 0 V$ 时	-	-50	mA
		$V_O > V_{CC}$ 时	-	+50	
I_{OH} / I_{OL}	直流输出源电流/灌电流		-50	+50	mA
I_{CC}	每个电源引脚的直流 V_{CC} 或地电流		-	± 100	mA
P_D	功耗	400 KHz 时	-	0.129	mW
T_{STG}	存储温度范围		-65	+150	$^{\circ}C$
ESD	静电放电能力	人体模式, JESD22-A114	-	5	kV
		充电器件模式, JESD22-C101	-	2	

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考译文)

如果电压超过最大额定值表中列出的值范围，器件可能会损坏。如果超过任何这些限值，将无法保证器件功能，可能会导致器件损坏，影响可靠性。

2. 必须注意 I_O 绝对最大额定值。

推荐工作条件

符号	参数		最小值	最大值	单位
V_{CCA}, V_{CCB}	工作电源		1.65	5.50	V
V_{IN}	输入电压	A 端口	0	5.5	V
		B 端口	0	5.5	
		控制输入 (OE)	0	V_{CCA}	
Θ_{JA}	热阻	8 引脚 MicroPak	-	279.0	$^{\circ}C/W$
		8 引脚超薄 MLP	-	301.5	
T_A	空气流通时的工作温度		-40	+85	$^{\circ}C$

Functional operation above the stresses listed in the Recommended Operating Ranges is not implied. Extended exposure to stresses beyond the Recommended Operating Ranges limits may affect device reliability.

(参考译文)

推荐的操作条件表明了器件的真实工作条件。指定推荐的工作条件，以确保器件的最佳性能达到数据表中的规格。飞兆半导体建议不要超过推荐工作条件，也不能按照绝对最大额定值进行设计。

3. 所有未用到的输入与 I/O 引脚必须保持在 V_{CC1} 或 GND。

功能说明

上电/断电顺序

FXM 转换器具有一个优点，即任一 V_{CC} 都可以先行上电。该优势来源于芯片设计。如果任一 V_{CC} 为 0V ，各输出进入高阻态。控制输入 (OE) 引脚的设计就是跟踪 V_{CCA} 电源。下拉电阻限制 OE 至地，在上电或断电过程中，可以确保不发生总线争端、过电流或振荡。下拉电阻的阻值应该基于器件驱动 OE 引脚的灌电流能力。

推荐的上电顺序为：

1. 施加电源到第一个 V_{CC} 。
2. 施加电源到第二个 V_{CC} 。
3. 驱动 OE 输入为高，启用该器件。

推荐的断电顺序为：

1. 驱动 OE 输入为低，禁用该器件。
2. 去除任一 V_{CC} 电源。
3. 去除另一 V_{CC} 电源。

注意：

4. 或者，将 OE 引脚硬连接至 V_{CCA} ，可以节省 GPIO 引脚。如果 OE 硬连接至 V_{CCA} ，任一 V_{CC} 都可以先行上电和断电。

应用电路

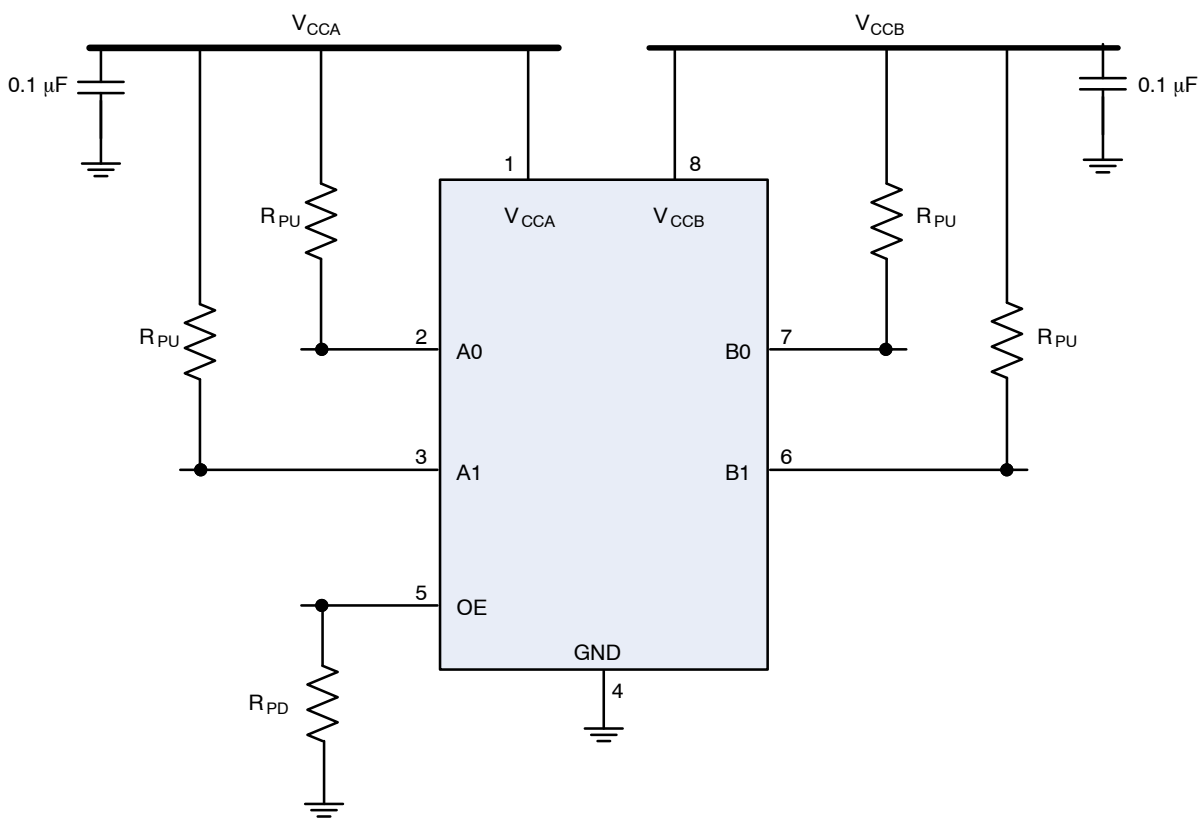


图 4. 应用电路

FXMA2102 具有开漏 I/O, 并且需在四个数据 I/O 引脚上使用外部上拉电阻, 如图 4 所示。如果一对数据 I/O 引脚 (A_n/B_n) 未用, 这两个引脚必须同时连接至 GND (同时连接到 V_{CC})。在这种情况下, 无需上拉或下拉电阻。建议采用阻值为 $1\text{ k}\Omega$ 至 $10\text{ k}\Omega$ 的上拉电阻 (RPU); 然而, 视总线电容总数值的不同, 用户可自行决定上拉电阻值, 以满足 I²C 规范 (UM10204, 版本 03, 2007 年 6 月 19 日) 中的最大 I²C 边沿速率要求。例如, 快速模式 (400 kbit/s) 期间的最大边沿速率 (30% - 70%) 为 300 ns。若总线电容接近最大值 (400 pF), 则需降低 RPU 值使上升时间保持在 300 ns 以下 (快速模式)。I²C 规范的第 7.1 节中给出了上拉电阻选型的最佳指南。

工作原理

FXMA2102 专为 I²C 应用中的高性能电平转换与缓冲/中继而设计。图 1 表示每个双向通道均包含两个串联 Npassgates 和两个动态驱动器。对要求自动检测方向的 I²C 应用而言, 这种混合结构非常有利。

例如, 在以下三种 I²C 协议事件过程中:

- 时钟展宽
- 从机的 ACK 位 (9 位 = 0)
跟在主机的写入位 (第 8 位 = 0) 之后
- 时钟同步和多主机仲裁

总线方向需要改变, 从“主机到从机”改为“从机到主机”, 没有出现一个边沿。如果在主机与从机之间存在一个 I²C 转换器, 在这些例子当中, 当 A 与 B 端口均为低时, 该 I²C 转换器必须改变反向。Npassgates 可以高效地完成这项任务, 这是因为, 如果 A 与 B 端口均为低, Npassgates 表现为低阻性, 在这两个 (A 与 B) 端口之间形成短接。

由于 I²C 是开漏拓扑结构, 因此 I²C 主机和从机不是推挽驱动器。逻辑低电平为“下拉” (I_{sink}), 而逻辑高电平则为“放开” (3 态)。例如, 当主机放开 SCL (SCL 总是来自主机) 时, SCL 的上升时间大体上决定于 RC 时间常数, 其中 R 指的是 RPU, C 指的是总线电容。在本例中, 如果 FXMA2102 被插入主机 [在 A 端口上], 而其 B 端口上存在一个从机, 则 Npassgates 呈现低阻性, 短接这两个端口, 直到任一端口的电压达到阈值 $V_{CC}/2$

为止。经过 RC 时间常数后任一端口的电压 $V_{CC}/2$ 阈值之后, 该端口的边沿检测器触发全部两个动态驱动器, 使之按照由低到高的方向驱动它们各自的端口, 加速上升边沿。所得上升时间将构成图 5 中的示波器图。非常明显的是, 上升时间中出现了两个明显不同的斜率。第一个压摆率 (较慢) 是总线的 RC 时间常量。第二个压摆率 (快得多) 是加速边沿的动态驱动器。

如果该转换器的 A 与 B 端口均为高, 则在 A 与 B 端口之间建立一个高阻抗路径, 这是因为全部两只 Npassgates 均已经关断。如果有主机或从机器件决定下拉 SCL 或 SDA 为低, 则该器件的驱动器下拉 (I_{sink}) SCL 或 SDA, 直到边沿达到 A 或 B 端口的 $V_{CC}/2$ 阈值为止。当 A 或 B 端口的阈值达到时, 该端口的边沿检测器触发全部两个动态驱动器, 按照由高到低 (HL) 的方向驱动它们各自的端口, 加速下降沿。

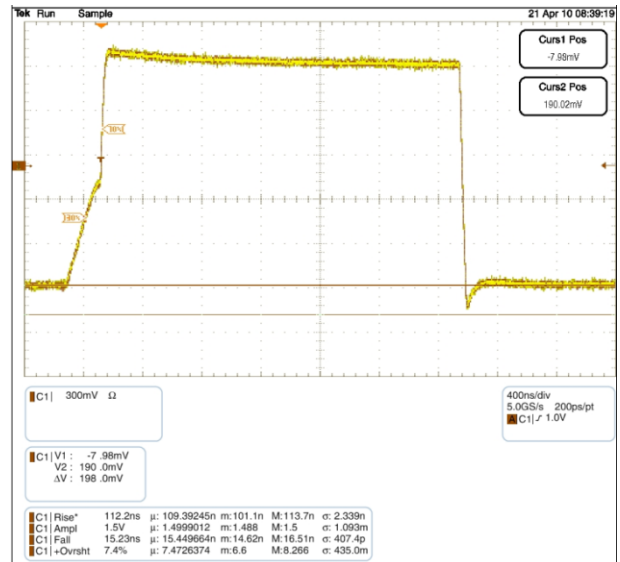


图 5. FXMA2102 波形 C: 600 pF, R_{PU}: 2.2 K

缓冲器/重复器性能

FXMA2102 动态驱动器具有足够的源电流能力驱动 400 pF 的容性总线。这对于需要 I²C 缓冲器/中继器的情况较为有利。I²C 规范明确规定总线最大电容为 400 pF。如果 I²C 段超过 400 pF，则需使用 I²C 缓冲器/中继器将该段分割为两段，每段低于 400 pF。图 5 为 FXMA2102 驱动 600 pF 总负载的示波器图。注意 (30% - 70%) 上升时间仅为 112 ns ($R_{PU} = 2.2 \text{ K}$)。它远低于 300 ns 的最大边沿速率。FXMA2102 不仅能驱动 400 pF，它还提供 I²C 规范中 300 ns 最大边沿速率以下出色的动态余量。

V_{OL} 与 I_{OL}

I²C 规范强制规定最大 V_{IL} (I_{OL} 为 3 mA) 为 $V_{CC} \cdot 0.3$ ，以及最大 V_{OL} 为 0.4 V。如果 I²C 转换器的 A 端口上存

在一个主机，其 V_{CC} 为 1.65 V，I²C 转换器的 B 端口上存在一个从机，其 V_{CC} 为 3.3 V，则主机的最大 V_{IL} 为 $(1.65 \text{ V} \times 0.3) 495 \text{ mV}$ 。从机可以合法地向主机发送一个 0.4 V 的有效逻辑低电平。

如果 I²C 转换器的通道阻抗过高，转换器的压降可能给主机发送一个大于 495 mV 的 V_{IL}。更复杂的问题是，I²C 规范表明：当总线电容接近 400 pF 时，建议 I_{OL} 采用 6 mA。I_{OL} 增加越多，I²C 转换器的压降越高。当 I²C 转换器表现出较低的 V_{OL} 性能时，则 I²C 应用较为有利。图 6 描述了典型 FXMA2102 V_{OL} 性能与竞争产品的对比 (V_{IL} 为 0.4 V 条件下)。

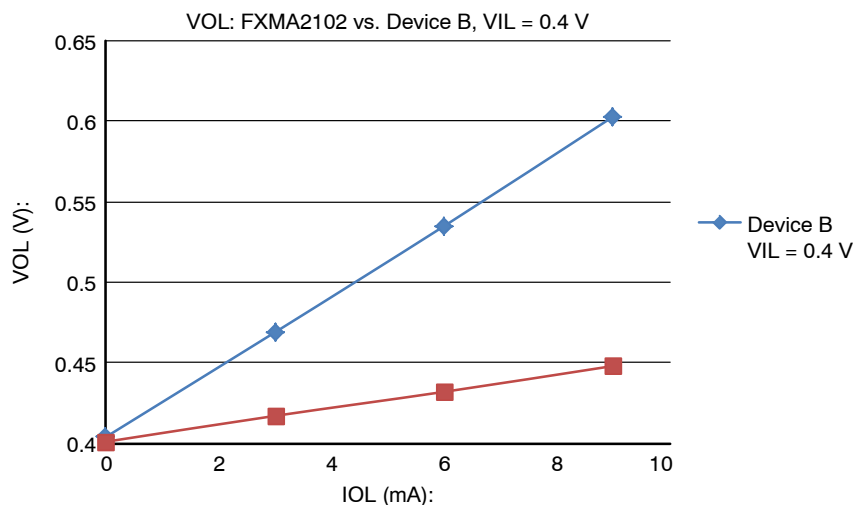


图 6. V_{OL} 与 I_{OL}

I²C-Bus 隔离

FXMA2102 支持以下条件的 I²C 总线隔离：

- 总线隔离 (针对总线清除状况)
- 总线隔离 (针对任一 V_{CC} 接地状况)

总线清除

由于 I²C 规范定义了直流的最低 SCL 频率，SCL 信号可以始终保持低电平。然而，该条件将关断 I²C 总线。I²C 规范将该条件称为“总线清除”。在图 7 中，如果 2 号从机始终压低 SCL，则主机和 1 号从机无法通信，因为 FXMA2102 作为主机将 SCL 低电平卡位条件从 2 号

从机传递至 1 号从机。但是，如果 OE 引脚被拉低 (遭禁用)，全部两个 (A 与 B) 端口进入三态。FXMA2102 将从机 2# 隔离于主机和从机 1#，允许主机与从机 1# 之间进行完全通信。

任一 V_{CC} 接地

如果 2 号从机为一架相机，突然脱离 I²C 总线，将导致 V_{CCB} 从有效 V_{CC} (1.65 V - 5.5 V) 切换至 0 V，FXMA2102 自动强迫 A 与 B 端口的 SCL 和 SDA 进入 3 态。一旦 V_{CCB} 达到零，则主机与从机 1# 之间的完全 I²C 通信保持不受干扰。

FXMA2102

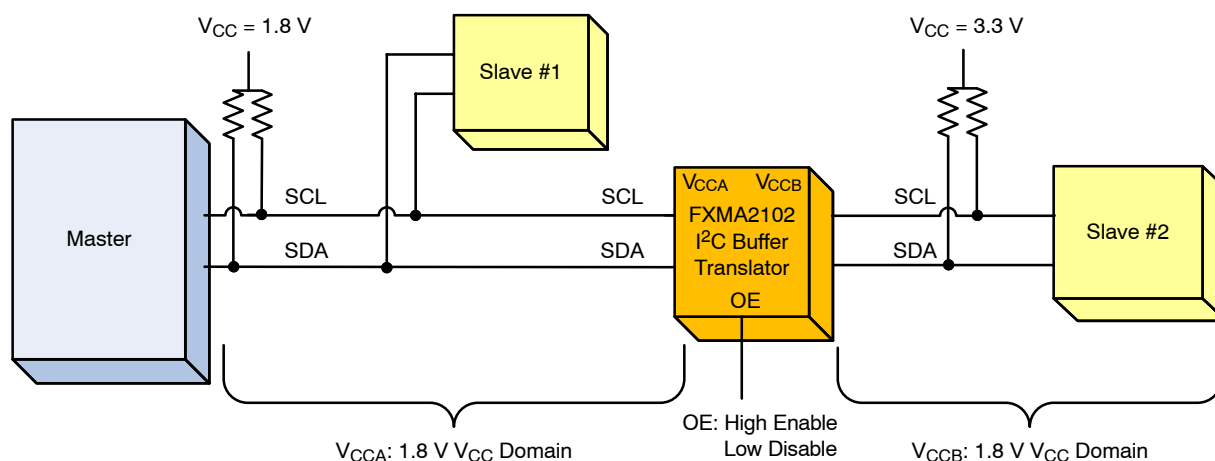


图 7. 总线隔离

直流电气特性 (T_A = -40°C至+85°C)

符号	参数	条件	V _{CCA} (V)	V _{CCB} (V)	最小值	最大值	单位
V _{IHA}	高电平输入电压A	数据输入A _n	1.65 – 5.50	1.65 – 5.50	V _{CCA} – 0.4	–	V
		控制输入OE	1.65 – 5.50	1.65 – 5.50	0.7 × V _{CCA}	–	
V _{IHB}	高电平输入电压B	数据输入B _n	1.65 – 5.50	1.65 – 5.50	V _{CCB} – 0.4	–	V
V _{ILA}	低电平输入电压A	数据输入A _n	1.65 – 5.50	1.65 – 5.50	–	0.4	V
		控制输入OE	1.65 – 5.50	1.65 – 5.50	–	0.3 × V _{CCA}	
V _{ILB}	低电平输入电压B	数据输入B _n	1.65 – 5.50	1.65 – 5.50	–	0.4	V
V _{OL}	低电平输出电压	V _{IL} = 0.15 V	1.65 – 5.50	1.65 – 5.50	–	0.4	V
		I _{OL} = 6 mA					
I _L	输入漏电流	控制输入OE, V _{IN} = V _{CCA} 或 GND	1.65 – 5.50	1.65 – 5.50	–	±1.0	μA
I _{OFF}	断电漏电流	A _n V _{IN} 或 V _O = 0 V 至 5.5 V	0	5.50	–	±2.0	μA
		B _n V _{IN} 或 V _O = 0 V 至 5.5 V	5.50	0	–	±2.0	
I _{OZ}	3态输出漏电流 (说明 6)	A _n , B _n V _O = 0 V 至 5.5 V, OE = V _{IL}	5.50	5.50	–	±2.0	μA
		A _n V _O = 0 V 至 5.5 V, OE = 无关	5.50	0	–	±2.0	
		B _n V _O = 0 V 至 5.5 V, OE = 无关	0	5.50	–	±2.0	
I _{CCA/B}	静态电源电流 (说明 7, 8)	V _{IN} = V _{CC1} 或 GND, I _O = 0	1.65 – 5.50	1.65 – 5.50	–	5.0	μA
I _{CCZ}	静态电源电流 (说明 7)	V _{IN} = V _{CC1} 或 GND, I _O = 0, OE = V _{IL}	1.65 – 5.50	1.65 – 5.50	–	5.0	μA
I _{CCA}	静态电源电流 (说明 6)	V _{IN} = 5.5 V 或 GND, I _O = 0, OE = 无关, B _n 至 A _n	0	1.65 – 5.50	–	–2.0	μA
			1.65 – 5.50	0	–	2.0	
I _{CCB}	静态电源电流 (说明 6)	V _{IN} = 5.5 V 或 GND, I _O = 0, OE = 无关, A _n 至 B _n	1.65 – 5.50	0	–	–2.0	μA
			0	1.65 – 5.50	–	2.0	

5. 该表格包含了静态条件下的输出电压。动态驱动规范参见动态输出电气特性部分。

6. “无关”表示任何有效逻辑电平。

7. V_{CC1} 表示与输入侧关联的 V_{CC}。

8. 反映每路电源的电流, V_{CCA} 或 V_{CCB}。

FXMA2102

动态输出电气特性

输出上升/下降时间 (输出负载: $C_L = 50 \text{ pF}$, $R_{PU} = 2.2 \text{ k}\Omega$, 推/挽驱动器, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。)

符号	参数	V_{CCO} (说明 10)				单位
		4.5至5.5 V	3.0至3.6 V	2.3至2.7 V	1.65至1.95 V	
		典型值	典型值	典型值	典型值	
t_{rise}	输出上升时间; A端口, B端口 (说明 11)	3	4	5	7	ns
t_{fall}	输出下降时间; A端口, B端口 (说明 12)	1	1	1	1	ns

9. 输出上升/下降时间均由设计仿真和验证来保证, 未经生产测试。

10. V_{CCO} 表示与输出侧关联的 V_{CC}

11. 请参见。图 12

12. 请参见。图 13

动态输出电气特性

最大数据速率 (说明 13) (输出负载: $C_L = 50 \text{ pF}$, $R_{PU} = 2.2 \text{ k}\Omega$, 推/挽驱动器, and $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。)

V_{CCA}	方向	V_{CCB}				单位
		4.5至5.5 V	3.0至3.6 V	2.3至2.7 V	1.65至1.95 V	
		最小值	最小值	最小值	最小值	
4.5 V至5.5 V	A至B	37	26	19	10	MHz
	B至A	37	36	35	32	
3.0 V至3.6 V	A至B	36	25	18	10	MHz
	B至A	25	25	25	24	
2.3 V至2.7 V	A至B	35	25	18	10	MHz
	B至A	18	18	18	17	
1.65 V至1.95 V	A至B	32	24	17	10	MHz
	B至A	10	10	10	10	

13. F-toggle (F-反复、F-翻转) 由设计仿真保证, 未经生产测试。

FXMA2102

交流特性 (输出负载: $C_L = 50 \text{ pF}$, $R_{PU} = 2.2 \text{ k}\Omega$, and $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$.)

符号	参数	V_{CCB}								单位
		4.5至5.5 V		3.0至3.6 V		2.3至2.7 V		1.65至1.95 V		
		典型值	最大值	典型值	最大值	典型值	最大值	典型值	最大值	

$V_{CCA} = 4.5$ 至 5.5 V

t_{PLH}	A至B	1	6	3	6	3	6	5	7	ns
	B至A	1	4	2	4	3	5	4	7	
t_{PHL}	A至B	2	4	3	5	4	6	9	10.5	ns
	B至A	2	4	2	5	2	6	5	7	
t_{PZL}	OE至A	4	5	6	10	5	9	7	15	ns
	OE至B	3	5	4	7	5	8	10	15	
t_{PLZ}	OE至A	65	100	65	105	65	105	65	105	ns
	OE至B	20	30	21	35	55	105	55	105	
t_{skew}	A端口, B端口 (说明 14)	0.50	-	0.50	-	0.50	-	0.50	-	ns

$V_{CCA} = 3.0$ 至 3.6 V

t_{PLH}	A至B	2.0	5.0	1.5	3.0	3.5	5.0	3.6	5.0	ns
	B至A	1.5	4.5	1.5	4.0	2.0	6.0	3.0	9.0	
t_{PHL}	A至B	2.0	4.0	2.0	4.0	2.0	5.0	4.3	7.5	ns
	B至A	2.0	5.3	2.0	4.0	2.0	5.0	3.0	5.0	
t_{PZL}	OE至A	4.0	8.0	5.0	9.0	6.0	11.0	7.0	15.0	ns
	OE至B	4.0	8.0	6.0	9.0	8.0	11.0	10.0	14.0	
t_{PLZ}	OE至A	100	115	100	115	100	115	100	115	ns
	OE至B	21	35	22	35	65	115	65	115	
t_{skew}	A端口, B端口 (说明 14)	0.5	-	0.5	-	0.5	-	0.5	-	ns

$V_{CCA} = 2.3$ 至 2.7 V

t_{PLH}	A至B	2.5	5.0	2.5	5.0	2.0	4.0	4.2	5.5	ns
	B至A	3.6	7.0	2.0	4.0	3.0	6.0	5.0	10.0	
t_{PHL}	A至B	2.0	5.0	2.0	5.0	2.0	5.0	3.0	6.0	ns
	B至A	6.0	7.5	4.0	5.5	2.0	5.0	3.0	6.0	
t_{PZL}	OE至A	5.0	10.0	5.0	10.0	6.0	12.0	9.0	18.0	ns
	OE至B	4.0	8.0	4.5	9.0	5.0	10.0	9.0	18.0	
t_{PLZ}	OE至A	100	115	100	115	100	115	100	115	ns
	OE至B	65	110	65	110	65	115	65	115	
t_{skew}	A端口, B端口 (说明 14)	0.5	-	0.5	-	0.5	-	0.5	-	ns

$V_{CCA} = 1.65$ 至 1.95 V

t_{PLH}	A至B	4	7	4	7	5	8	5	10	ns
	B至A	4	8.5	4	5	4	5	5	10	
t_{PHL}	A至B	5	8	3	7	3	7	3	7	ns
	B至A	9.5	10.5	5	7.5	3	7	3	7	
t_{PZL}	OE至A	11	15	11	14	8	28	14	23	ns
	OE至B	6	14	6	12	6	12	9	16	
t_{PLZ}	OE至A	75	115	75	115	75	115	75	115	ns
	OE至B	75	115	75	115	75	115	75	115	
t_{skew}	A端口, B端口 (说明 14)	0.5	-	0.5	-	0.5	-	0.5	-	ns

14. 偏斜是输出信号之间传播延时的变化, 仅适用于同一端口的输出信号 (A_n 或 B_n), 且以相同的极性切换 (低电平至高电平或高电平至低电平) (见 图 15)。偏差 (Skew) 没有经过测试。

FXMA2102

电容值 ($T_A = +25^\circ\text{C}$.)

符号	参数	条件	典型值	单位
C_{IN}	输入电容控制引脚 (OE)	$V_{CCA} = V_{CCB} = \text{GND}$	2.2	pF
$C_{I/O}$	输入/输出电容, A_n, B_n	$V_{CCA} = V_{CCB} = 5.0 \text{ V}$, $\text{OE} = \text{GND}$, $V_A = V_B = 5.0 \text{ V}$	13.0	pF
C_{pd}	功率耗散电容	$V_{CCA} = V_{CCB} = 5.0 \text{ V}$, $V_{IN} = 0 \text{ V}$ 或 V_{CC} , $f = 400 \text{ kHz}$	13.5	pF

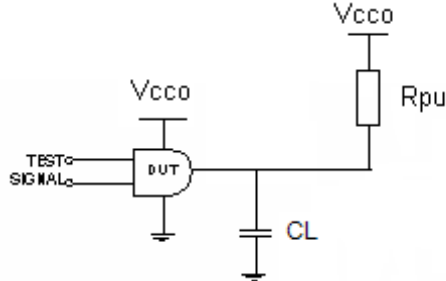


图 8. 测试电路

表 1. 传播延迟表

测试	输入信号	输出使能控制
t_{PLH} , t_{PHL}	数据脉冲	V_{CCA}
t_{PZL} (OE至 A_n, B_n)	0 V	低电平至高电平开关
t_{PLZ} (OE至 A_n, B_n)	0 V	高电平至低电平开关

表 2. 交流负载表

V_{cco}	C_L	R_L
$1.8 \pm 0.15 \text{ V}$	50 pF	2.2 k Ω
$2.5 \pm 0.2 \text{ V}$	50 pF	2.2 k Ω
$3.3 \pm 0.3 \text{ V}$	50 pF	2.2 k Ω
$5.0 \pm 0.5 \text{ V}$	50 pF	2.2 k Ω

时序图

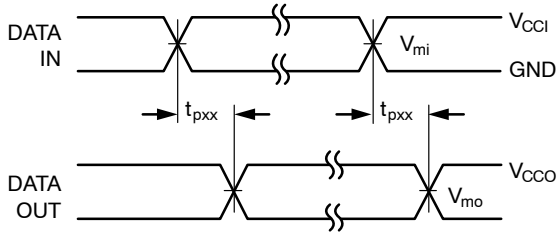


图 9. 反相与同相功能的波形 (说明 15)

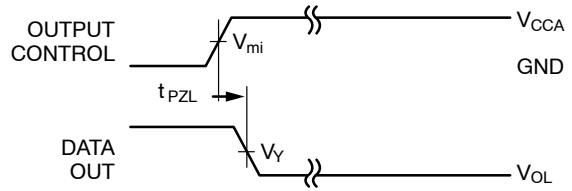


图 10. 3态输出低电平使能时间 (说明 15)

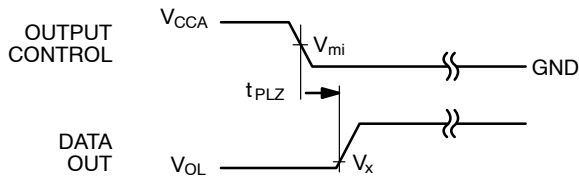


图 11. 3态输出高电平使能时间 (说明 15)

符号	V _{CC}
V _{mi} (说明 16)	V _{CCI} / 2
V _{mo}	V _{CCO} / 2
V _X	0.1 × V _{CCO}
V _Y	V _{CCO} / 2

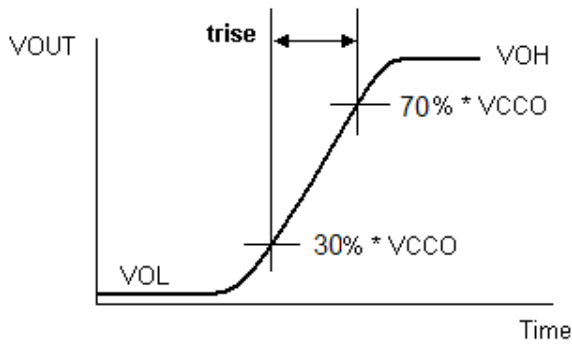


图 12. 有效输出上升时间

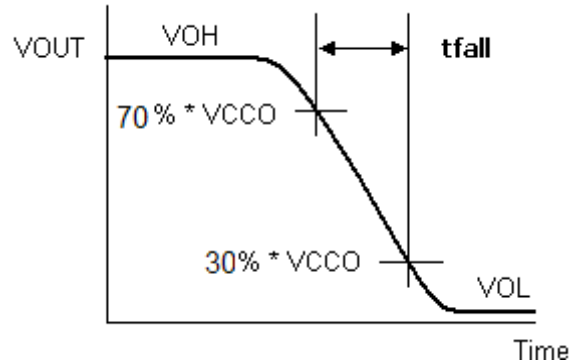


图 13. 有效输出下降时间

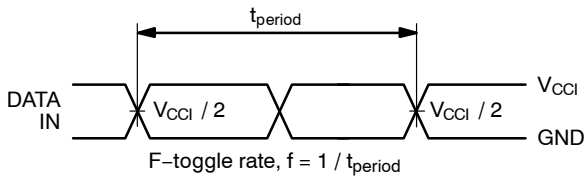


图 14. F-Toggle速率

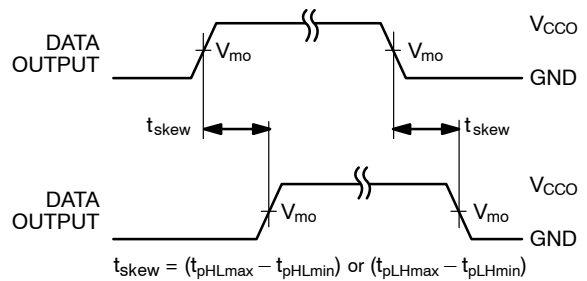


图 15. 输出偏差 (SKEW) 时间

说明:

15. 输入 $t_R = t_F = 2.0 \text{ ns}$, 10%至90% (当 $V_{IN} = 1.65 \text{ V}$ 至 1.95 V 时);
输入 $t_R = t_F = 2.0 \text{ ns}$, 10%至90% (当 $V_{IN} = 2.3 \text{ V}$ 至 2.7 V 时);
输入 $t_R = t_F = 2.5 \text{ ns}$, 10%至90% (当 $V_{IN} = 3.0 \text{ V}$ 至 3.6 V 时);
输入 $t_R = t_F = 2.5 \text{ ns}$, 10%至90% (当 $V_{IN} = 4.5 \text{ V}$ 至 5.5 V 时)。
16. 对于控制引脚(OE) $V_{CCI} = V_{CCA}$, 或 $V_{mi} = (V_{CCA} / 2)$

FXMA2102

订购信息

器件型号	工作温度范围	顶标	封装	包装方法†
FXMA2102L8X	-40至+85°C	XN	8引脚 MicroPak, 1.6 mm宽 (Pb-Free)	5000 / Tape & Reel
FXMA2102UMX			8引脚超薄 MLP, 1.2 mm x 1.4 mm (Pb-Free)	

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

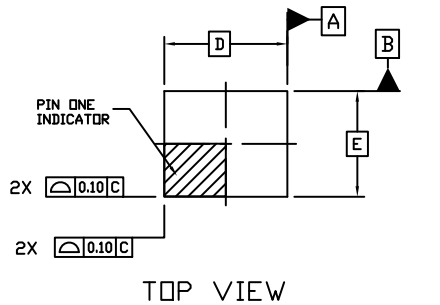
MicroPak is trademark of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries.
onsemi is licensed by the Philips Corporation to carry the I²C bus protocol.



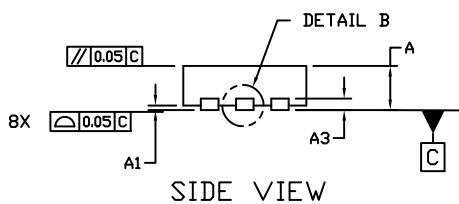
SCALE 4:1

UQFN8, 1.40x1.20, 0.40P
CASE 523AS
ISSUE B

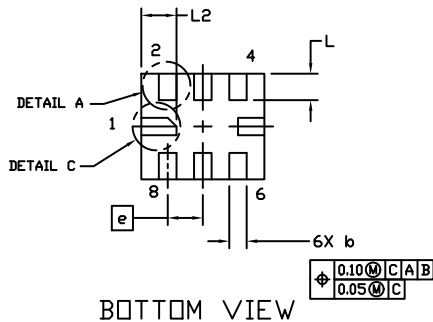
DATE 19 AUG 2021



TOP VIEW



SIDE VIEW



BOTTOM VIEW

GENERIC MARKING DIAGRAM*



XX = Specific Device Code
M = Date Code

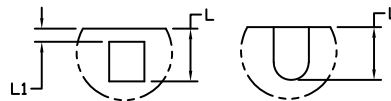
*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. CONTROLLING DIMENSION: MILLIMETERS
3. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.25MM FROM THE TERMINAL TIP.
4. REFER TO SPECIFIC DEVICE DATA SHEET FOR PIN 1 NOTCH LOCATION.



DETAIL B
ALTERNATE CONSTRUCTION

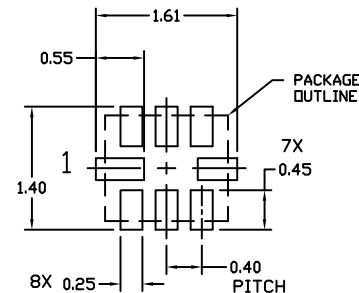


DETAIL A
ALTERNATE CONSTRUCTIONS



DETAIL C
ALTERNATE CONSTRUCTION
NOTE 4

DIM	MILLIMETERS	
	MIN.	MAX.
A	0.45	0.55
A1	0.00	0.05
A3	0.13	REF
b	0.15	0.25
D	1.40	BSC
E	1.20	BSC
e	0.40	BSC
L	0.20	0.40
L1	---	0.15
L2	0.30	0.50



RECOMMENDED MOUNTING FOOTPRINT *

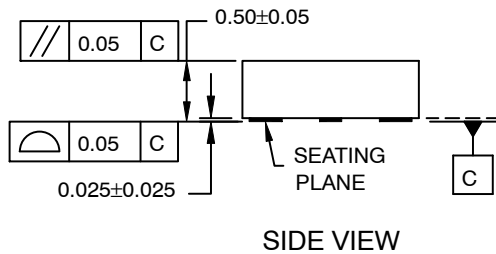
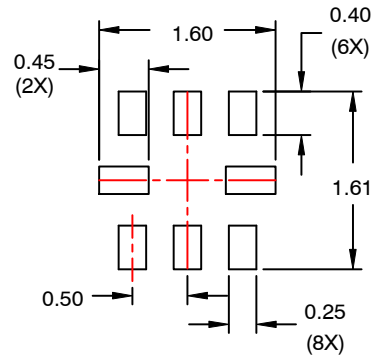
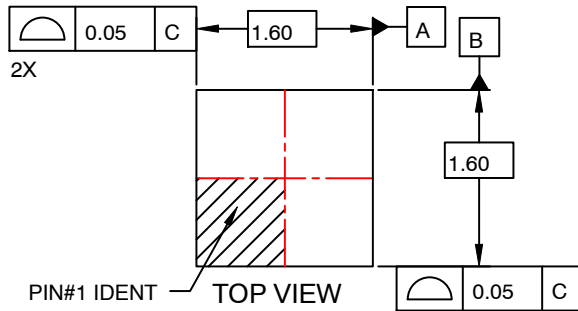
* For additional information on our Pb-Free strategy and soldering details, please download the QN Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

DOCUMENT NUMBER:	98AON58906E	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	UQFN8, 1.40x1.20, 0.40P	PAGE 1 OF 1

onsemi and ONSEMI are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

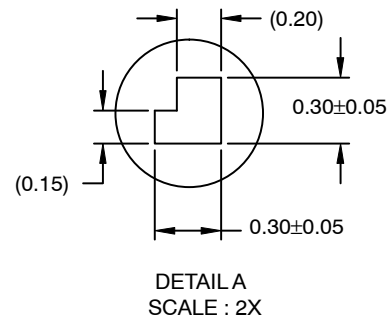
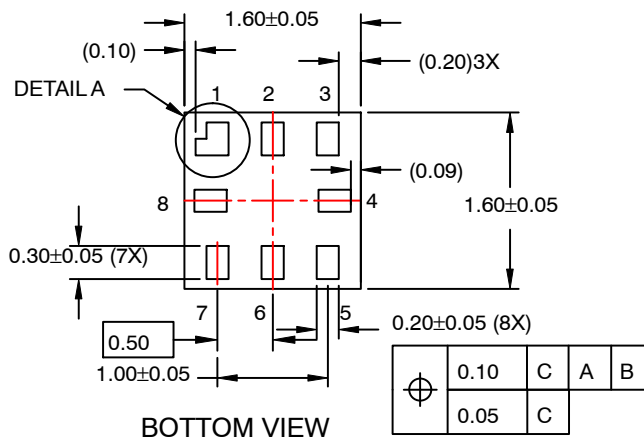
UQFN8 1.6X1.6, 0.5P
CASE 523AY
ISSUE O

DATE 31 AUG 2016



NOTES:

- A. PACKAGE CONFORMS TO JEDEC MO-255 VARIATION UAAD.
- B. DIMENSIONS ARE IN MILLIMETERS.
- C. DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 2009.
- D. LAND PATTERN RECOMMENDATION IS EXISTING INDUSTRY LAND PATTERN.



DOCUMENT NUMBER:	98AON13591G	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	UQFN8 1.6X1.6, 0.5P	PAGE 1 OF 1

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:

Technical Library: www.onsemi.com/design/resources/technical-documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support

For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales